



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Y.-N. Shen Attorney Docket No. SIPT122078
Application No.: 10/725,865 Group Art Unit: 2841
Filed: December 1, 2003 Examiner: --
Title: SEMICONDUCTOR PACKAGE AND METHOD FOR MAKING THE SAME

LETTER TRANSMITTING PRIORITY DOCUMENTS

Seattle, Washington 98101

April 14, 2004

TO THE COMMISSIONER FOR PATENTS:

Enclosed is a certified copy of the following application for which a claim of priority under 35 U.S.C. § 119 has been made:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>	<u>Title</u>
Taiwan	091134965	February 12, 2002	SEMICONDUCTOR PACKAGE AND METHOD FOR MAKING THE SAME

Respectfully submitted,

CHRISTENSEN O'CONNOR
JOHNSON KINDNESS^{PLLC}

Shoko I. Leek
Registration No. 43,746
Direct Dial No. 206.695.1780

I hereby certify that this correspondence is being deposited with the U.S. Postal Service in a sealed envelope as first class mail with postage thereon fully prepaid and addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the below date.

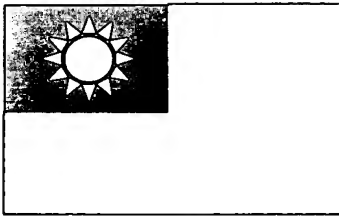
Date:

4/14/04

SIL:tmn

LAW OFFICES OF

CHRISTENSEN O'CONNOR JOHNSON KINDNESS^{PLLC}
1420 Fifth Avenue
Suite 2800
Seattle, Washington 98101
206.682.8100



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder: (

申請日：西元 2002 年 12 月 02 日
Application Date

申請案號：091134965
Application No.

申請人：沈育濃
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 3 日
Issue Date

發文字號：09320096430
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體晶元封裝體及其之封裝方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 沈育濃
	姓 名 (英文)	1. Shen Yu-Nung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市內湖區麗山街328巷60號
	住居所 (英 文)	1. No. 60, Lane 328, Li-Shan Street, Nei-Hu Dist., Taipei City, Taiwan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 沈育濃
	名稱或 姓 名 (英文)	1. Shen Yu-Nung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市內湖區麗山街328巷60號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 60, Lane 328, Li-Shan Street, Nei-Hu Dist., Taipei City, Taiwan
	代表人 (中文)	1.
	代表人 (英文)	1.



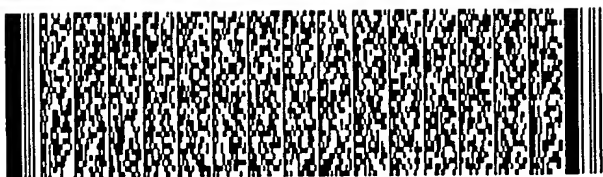
四、中文發明摘要 (發明名稱：半導體晶元封裝體及其之封裝方法)

一種半導體晶元封裝體包含：一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；數個導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該等導電體，於該保護層上係形成有數個連通到對應之導電體的通孔；及數個導電球，每一導電球係形成於對應的通孔內並且係與對應的導電體電氣連接。

伍、(一)、本案代表圖為：第十七圖

(二)、本案代表圖之元件代表符號簡單說明：

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

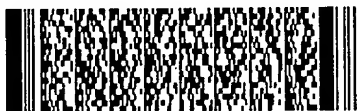
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

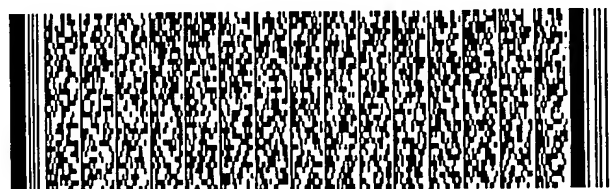
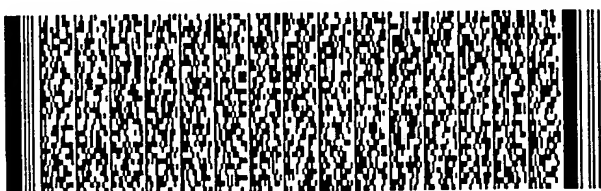
本發明係有關於一種半導體晶元封裝體及其之封裝方法。

早期，半導體晶元的封裝方式大多利用導線架作為晶元之內部電路與外部電路之電氣連接的媒介。然而，以這種方式封裝出來的積體電路在體積上係較大，且訊號的傳輸速度會較慢。後來，球形柵狀陣列(BGA)封裝方式係出現。如美國專利第5,384,689號案中所揭露般。利用BGA封裝方式所封裝出來的積體電路在體積上係較小，且訊號的傳輸速度會較快。然而，在如上所述之美國專利中所揭露的方式係需要使用一基板來載裝該半導體晶元，緣是，在尺寸或功能上有所不同的半導體晶元係需要不同的基板，因此，在成本及封裝時程上係有改善的必要。

有鑑於此，本案發明人遂以其從事該行業之多年經驗，並本著精益求精之精神，積極研究改良，遂有本發明『半導體晶元封裝體及其之封裝方法』產生。

本發明之目的是為提供一種能夠克服以上所述之問題的半導體晶元封裝體及其之封裝方法。

根據本發明之一特徵，一種半導體晶元封裝體包含：一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；數個導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；一對分隔的隔壁，其係形成於該晶元之該等焊墊的兩側以致於該等導電體的導電連接部係位於該對隔壁之間；一覆蓋層，其係形成於該

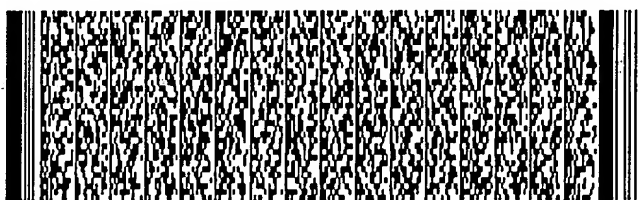


五、發明說明 (2)

對隔壁之間；一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該覆蓋層及該等導體，於該保護層上係形成有數個連通到對應之導體的通孔；及數個導電球，每一導電球係形成於對應之通孔內並且係與對應的導體電氣連接。

根據本發明之另一特徵，一種半導體晶元封裝體包含：一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；數個導體，每一導體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該等導體，於該保護層上係形成有數個連通到對應之導體的通孔；及數個導電球，每一導電球係形成於對應的通孔內並且係與對應的導體電氣連接。

根據本發明之又一特徵，一種半導體晶元封裝體包含：一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；數個導電接腳，該等導電接腳係被設置於該晶元的焊墊安裝表面上；數個導體，每一導體電氣連接對應的導電接腳和該晶元之對應的焊墊；一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該等導電接腳和該等導體，於該保護層上係形成有數個連通到對應之導電接腳的通孔；及數個導電球，每一導電球係形成於對應的通孔內並且係與對應的導電接腳電氣連接。

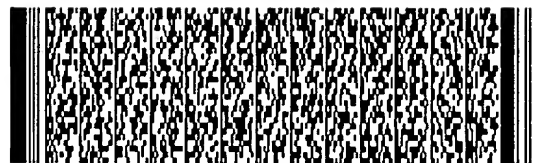


五、發明說明 (3)

根據本發明之又一特徵，一種半導體晶元封裝體包含：一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡，該薄膜基體之電路軌跡設置表面係與該晶元的焊墊安裝表面黏接以致於該等電路軌跡係與對應之焊墊電氣連接，該薄膜基體更形成有數個用於曝露對應之電路軌跡之一部份的通孔；及數個導電球，每一導電球係形成於對應的通孔並且係與對應的電路軌跡電氣連接。

根據本發明之又一特徵，一種半導體晶元封裝體包含：一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡，該薄膜基體之與該電路軌跡設置表面相對的表面係與該晶元的焊墊安裝表面黏接，該薄膜基體更形成有數個用於把對應之電路軌跡與對應之焊墊電氣連接的電鍍貫孔；及數個導電球，該等導電球係被形成於對應的電路軌跡上。

根據本發明之再另一特徵，一種半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；於該晶元的每一焊墊上形成一導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；於該晶元的焊墊安裝表面上形成一絕緣層俾可覆蓋該等導電體，經由曝

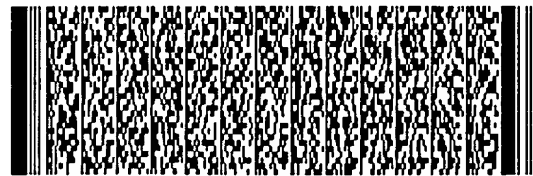


五、發明說明 (4)

光及化學沖洗等處理，一對分隔的隔壁係形成於該晶元之該等焊墊的兩側；於該對隔壁之間形成一覆蓋層；於該晶元的整個鐸墊安裝表面上形成一保護層俾可覆蓋該覆蓋層及該等導電層，該保護層係形成有數個連通到對應之導電體的通孔；及於每一通孔形成一與對應之導電體電氣連接且凸伸到通孔之外的導電球。

根據本發明之再一特徵，一種半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；於該晶元的每一焊墊上形成一導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；於該晶元的焊墊安裝表面上形成一絕緣層俾可覆蓋該等導電體；藉著研磨處理來使該絕緣層曝露該等導電體的頂端部份；於該絕緣層的表面上形成一保護層俾可覆蓋該等導電體，該保護層係形成有數個連通到對應之導電體的通孔；及於每一通孔形成一與對應之導電體電氣連接且凸伸到通孔之外的導電球。

根據本發明之又一特徵，一種半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；於該晶元的焊墊安裝表面上形成一絕緣層，該絕緣層係形成有數個導電體容置空間，每一導電體容置空間曝露該晶元之該等焊墊中之對應之一者；於每一導電體容置空間內



五、發明說明 (5)

係形成一導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；於該晶元的焊墊安裝表面上形成一絕緣層俾可覆蓋該等導電體；於該絕緣層的表面形成一保護層俾可覆蓋該等導電體，該保護層係形成有數個連通到對應之導電體的通孔；及於每一通孔形成一與對應之導電體電氣連接且凸伸到通孔之外的導電球。

根據本發明之再又一特徵，一種半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；於該晶元的焊墊安裝表面上形成一絕緣層；經由曝光及化學沖洗等等手段來把該絕緣層形成成數個條狀物，該等條狀物具有在該晶元之焊墊安裝表面上延伸的延伸部及延伸到對應之焊墊的連接部；藉由電鍍手段來使該等條狀物變成具有導電性的條狀物；於該晶元的焊墊安裝表面上形成一保護層俾可覆蓋該等具有導電性的條狀物，該保護層係形成有數個連通到對應之具有導電性之條狀物的通孔；及於每一通孔形成一與對應之具有導電性之條狀物電氣連接且凸伸到通孔之外的導電球。

根據本發明之再另一特徵，一種形成半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；把數個導電接腳設置於該晶元的焊墊安裝表面上；形成數個導電體，該等導電體把每一導電接腳電氣連接至



五、發明說明 (6)

該晶元之對應的焊墊；於該晶元的整個焊墊安裝表面上形成一保護層俾可覆蓋該等導電接腳和該等導電體，於該保護層上係形成有數個連到對應之導電接腳的通孔；及於每一通孔形成一與對應之導電接腳電氣連接的導電球。

根據本發明之又一特徵，一種半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；提供一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡；把該薄膜基體之電路軌跡設置表面與該晶元的焊墊安裝表面黏接以致於該等電路軌跡係與對應之焊墊電氣連接，該薄膜基體更形成有數個用於曝露對應之電路軌跡之一部份的通孔；及於每一通孔內形成一與對應之電路軌跡電氣連接的導電球。

根據本發明之再一特徵，一種半導體晶元封裝體的封裝方法包含如下之步驟：提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；提供一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡；把該薄膜基體之與該電路軌跡設置表面相對的表面與該晶元的焊墊安裝表面黏接，該薄膜基體更形成有數個用於把對應之電路軌跡與對應之焊墊電氣連接的電鍍貫孔；及於每一電路軌跡上形成一導電球。

有關本發明為達上述目的、特徵所採用的技術手段及



FIG. 10



五、發明說明 (7)

其功效，茲例舉較佳實施例並配合圖式說明如下：

第一至十圖是為描繪本發明半導體晶元封裝體之封裝方法之第一較佳實施例的示意流程剖視圖；

第十一圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第二較佳實施例來封裝之半導體晶元封裝體的示意剖視圖；

第十二至十四圖是為描繪本發明半導體晶元封裝體之封裝方法之第三較佳實施例的示意流程剖視圖；

第十五至十七圖是為描繪本發明半導體晶元封裝體之封裝方法之第四較佳實施例的示意流程剖視圖；

第二十三至二十五圖是為描繪其中一種把本發明半導體晶元封裝體之導電體形成於晶元之焊墊上之方式的示意剖視圖；

第二十六至二十九圖是為描繪本發明半導體晶元封裝體之封裝方法之第五較佳實施例的示意流程剖視圖；

第三十圖顯示經由本發明之半導體晶元封裝體之封裝方法所封裝製造的半導體晶元封裝體，其中，該晶元的焊墊係被設置在周緣；

第三十一至三十三圖是為描繪如何於本發明之半導體晶元封裝體之晶元之焊墊上形成一凸塊的示意流程剖視圖；

第三十四至三十六圖是為描繪在第三十三圖中所示之凸塊之可能之形狀的示意頂示平面圖；

第三十七至四十圖是為描繪本發明半導體晶元封裝體



五、發明說明 (8)

之封裝方法之第六較佳實施例的示意流程剖視圖；

第四十一至四十三是為描繪本發明半導體晶元封裝體之封裝方法之第七較佳實施例的示意流程剖視圖；

第四十四圖是為描繪利用本發明之半導體封裝體之封裝方法之第八較佳實施例封裝出來之封裝體的示意剖視圖；

第四十五圖是為本發明半導體晶元封裝體之封裝方法之第一較佳實施例的大致流程圖；

第四十六圖是為本發明半導體晶元封裝體之封裝方法之第二較佳實施例的大致流程圖；

第四十七圖是為本發明半導體晶元封裝體之封裝方法之第三較佳實施例的大致流程圖；

第四十八圖是為本發明半導體晶元封裝體之封裝方法之第四較佳實施例的大致流程圖；

第四十九圖是為本發明半導體晶元封裝體之封裝方法之第五較佳實施例的大致流程圖；

第五十圖是為本發明半導體晶元封裝體之封裝方法之第六較佳實施例的大致流程圖；

第五十一圖是為本發明半導體晶元封裝體之封裝方法之第七較佳實施例的大致流程圖；及

第五十二圖是為本發明半導體晶元封裝體之封裝方法之第八較佳實施例的大致流程圖。

元件標號對照表

1 半導體晶元

10 鐳墊安裝表面



五、發明說明 (9)

11	鐳墊	2	電鍍層
3	導電體	30	延伸部
31	導電連接部	32	第一導電層
33	第二導電層	4	絕緣層
4'	隔壁	5	第一保護層
6	第二保護層	60	通孔
7	導電球		

在本發明被詳細描述之前，應要注意的是在整個說明當中，相同的元件係由相同的標號標示。

第一至十圖顯示本發明之半導體晶元封裝體之封裝方法的第一較佳實施例。

請參閱第一圖並且配合第四十五圖所示，一半導體晶元1係首先被提供。該半導體晶元1具有一焊墊安裝表面10及數個安裝在該焊墊安裝表面10上的焊墊11（在圖式中，僅一個焊墊11被顯示）。

應要注意的是，在第一圖中所顯示之半導體晶元1可以是為一已從晶圓切割出來的單一晶元，但亦可以是為一未從晶圓切割出來的晶元。

接著，請參閱第二圖所示，於該晶元1之每一焊墊11上係形成有一電鍍層2。該電鍍層2係會稍微延伸到該晶元1的焊墊安裝表面10上。

現在請參閱第三和四圖所示，於該晶元1之每一焊墊11上的電鍍層2上係形成有一導電體3。每一導電體3具有一與對應之焊墊11上之電鍍層2電氣連接的導電連接部



五、發明說明 (10)

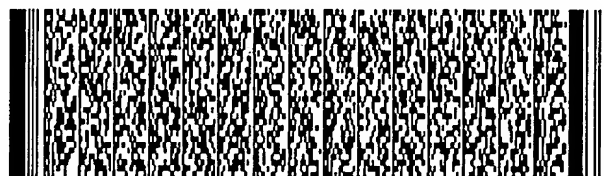
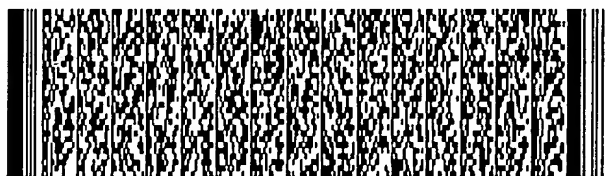
31 和一延伸至該晶元1 之焊墊安裝表面10 上作為電路軌跡的延伸部30。在本實施例中，該等導電體3 的形成係以適於印刷手段之導電材料為材料，藉由印刷手段來達成。該導電材料可以是為，例如，摻雜有任何一種或多種導電金屬的導電金屬膠。該印刷手段可以是為絹網印刷手段、移印刷頭手段、鋼板印刷手段、或任何適合的印刷手段。

請參閱第二十三至二十五圖所示，該等圖式顯示藉由移印刷頭手段形成該等導電體3 的例子。首先，如在第二十三圖中所示，於一鋼模8 之對應於晶元1 之焊墊11 的導電體形成空間80 內係形成有導電體3。接著，利用移印刷頭7 把該等導電體3 移印至晶元1 的焊墊安裝表面10 上，如在第二十四與二十五圖中所示。

應要注意的是，該等導電體3 的形成亦可以以適於印刷手段之非導電材料為材料，藉由電鍍及印刷手段來達成。

然後，請參閱第五至七圖所示，在形成導電體3 的步驟之後，一絕緣層4 係形成於該晶元1 的焊墊安裝表面10 上俾可覆蓋該等導電體3（見第五圖）。在本實施例中，該絕緣層4 的材料是為，例如，感光油墨(photo ink)。然後，經由曝光及化學沖洗等處理，一對分隔的隔壁4' 係形成於該晶元1 之該等焊墊11 的兩側。該對隔壁4' 具有一個比該等導電體3 之連接部之高度高的高度。

應要注意的是，該絕緣層4 亦可以由聚醯亞胺(polyimide) 或任何適合的光阻(photoresist) 材料形



五、發明說明 (11)

成。

現在請參閱第八圖所示，一覆蓋層5係形成於該對隔壁4'之間以致於在該對隔壁4'之間之導電體3的部份係由該覆蓋層5覆蓋。該覆蓋層5係可以以樹脂、polyimide、photo ink 及任何適合的材料形成。

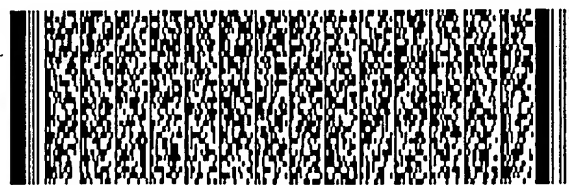
然後，如在第九圖中所示，於每一導電體3之未被該覆蓋層5覆蓋的部份上係利用任何適合的電鍍手段來形成一導電層32。該導電層32係可以由一鎳(Ni)層320 和一金(Ag)層321 形成。當然，該導電層32亦可以由任何適當的金屬層形成。

現在請參閱第十圖所示，一保護層6係形成於該晶元1的整個鐸墊安裝表面10上俾可覆蓋該覆蓋層5及該等導電層32。該保護層6係形成有數個連通到對應之導電層32的通孔60。最後，於每一通孔60係形成有一與導電層32電氣連接且凸伸到通孔60之外的導電球61。

在本實施例中，該保護層6係由適當的光阻材料形成，然後，該等通孔60係經由曝光及化學沖洗等步驟來被形成。

第十一圖顯示利用本發明半導體晶元封裝體之封裝方法之第二較佳實施例來封裝的半導體晶元封裝體。請配合參閱第四十六圖所示，與第一較佳實施例不同，一個包覆整個晶元1的外殼62係被形成代替該保護層6。該外殼62可以是由如環氧樹脂般的膠質材料製成。

第十二至十四圖顯示本發明之半導體晶元封裝體之封



五、發明說明 (12)

裝方法的第三較佳實施例。

請配合參閱第四十七圖所示，與第一實施例不同，在形成該覆蓋層5之後，該覆蓋層5與該對隔壁4'係接受研磨處理以致於該覆蓋層5與該對隔壁4'的高度係與該等導電體3的高度相同，及以致於原來由覆蓋層5覆蓋之在該對隔壁4'之間之導電體3之部份的頂端部份係被曝露，如在第十二圖中所示。

接著，請參閱第十三圖所示，與第一實施例類似，於每一導電體3上係利用適合的電鍍手段來形成一導電層32。在本實施例中，與第一實施例不同的是，每一導電層32係形成於整個對應的導電體3上。

最後，請參閱第十四圖所示，與第一實施例相同，一保護層6係形成於該晶元1的整個焊墊安裝表面10上俾可覆蓋該保護層5及該等導電層32。然後，於該保護層6之每一通孔60內係形成有一與導電層33電氣連接且凸伸到該通孔60之外的導電球7。

第十五至十七圖顯示本發明之半導體晶元封裝體之封裝方法的第四較佳實施例。

請配合參閱第四十八圖所示，與以上所述的較佳實施例不同，在本較佳實施例中，於該絕緣層4的形成之後，該絕緣層4係被研磨以致於該等導電體3的頂端部份係被曝露，如在第十五圖中所示。然後，如在第十六和十七圖中所示，導電層32、保護層6、及導電球7係依序地如在第一較佳實施例中所述般被形成。



五、發明說明 (13)

然而，與以上所述的較佳實施例不同，在本較佳實施例中，該保護層6係在對應於該晶元1之焊墊11的位置形成有通到該絕緣層4的覆蓋材料容置空間62。於該覆蓋材料容置空間62內係填注有覆蓋材料50。在本實施例中，該覆蓋材料50可以是為如環氧樹脂般的膠質材料。當然，該覆蓋材料50也可以是為任何適當的材料。

第十八至二十二圖是為顯示本發明之半導體晶元封裝體之封裝方法之第五實施例的流程圖。

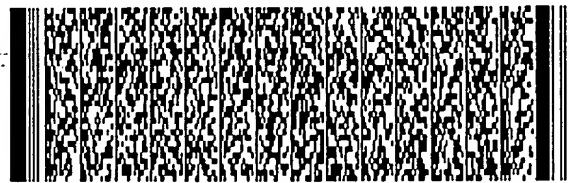
請參閱第十八和十九圖所示，並且配合參閱第四十九圖所示，與以上所述的實施例相同，一半導體晶元1係首先被提供。在該晶元1之每一焊墊11上係形成有一電鍍層2。

然後，一絕緣層4係形成於該晶元1的焊墊安裝表面10上。接著，數個導電體容置空間40係被形成於該絕緣層4上。每一導電體容置空間40曝露該晶元1之該等焊墊11中之對應之一者。

在本實施例中，該等導電體容置空間40係經由曝光及化學沖洗等等手段來被形成。當然，該等導電體容置空間40亦可以經由任何適當的手段來被形成。

然後，請參閱第二十至二十二圖所示，於每一導電體容置空間40內係形成有一導電體3。在該等導電體3被形成之後，導電層32、保護層6、及導電球7係依序地如在以上所述之實施例中所描述般被形成。

如在第二十二圖所示，與第四較佳實施例相同，該保



五、發明說明 (14)

護層6 係在對應於該晶元1 之焊墊11 的位置形成有通到該絕緣層4 的覆蓋材料容置空間62 且於該覆蓋材料容置空間62 內係填注有覆蓋材料50。

第二十六至二十九圖是為顯示本發明之半導體晶元封裝體之封裝方法的第六較佳實施例。

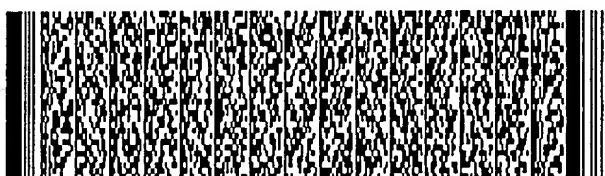
請參閱第二十六和二十七圖所示，並且配合參閱第五十圖所示，在本實施例中，於形成該絕緣層4 之後，該絕緣層4 係經由曝光及化學沖洗等等手段來形成數個條狀物3'。該等條狀物3' 具有在該晶元1 之焊墊安裝表面10 上延伸的延伸部30' 及延伸到對應之焊墊11 的連接部31'。

然後，該等條狀物3' 係藉由電鍍來變成具有導電性的條狀物31'。接著，導電層32、保護層6、及導電球7 係依序地如在以上所述之實施例中所描述般被形成，如在第二十八至二十九圖中所示。

應要注意的是，用以電鍍該等條狀物3' 的方式可以是為濺鍍、化學電鍍、真空電鍍、錫鍍及任何適當的電鍍方式。

雖然，在以上所述的較佳實施例中所揭露之晶元的焊墊皆被設置在中央，然而，應要了解的是，焊墊在周緣的晶元亦適用於本發明。第三十圖顯示經由本發明之半導體晶元封裝體之封裝方法之以上任何一個較佳實施例所封裝製造的半導體晶元封裝體，其中，該晶元的焊墊係被設置在周緣。

在本發明之以上所述的較佳實施例中，當利用導電金



五、發明說明 (15)

屬膠來形成導電體3時，為了提升導電體3與焊墊11之間的連接性，於該電鍍層2被形成之後，係可以進一步包含如第三十一和三十二圖中所示的步驟。

請參閱第三十一圖所示，於該電鍍層2形成之後，一光阻層20係被形成於該電鍍層2上。然後，經由曝光和化學沖洗等手段，一凸塊20'係被形成，如第三十二圖中所示。

請參閱第三十三圖所示，當導電體3被形成於該晶元1的焊墊安裝表面10上時，該凸塊20'與該導電體3的導電連接部31接觸俾可進一步降低該導電體3發生脫離(peeling off)現象的可能性。

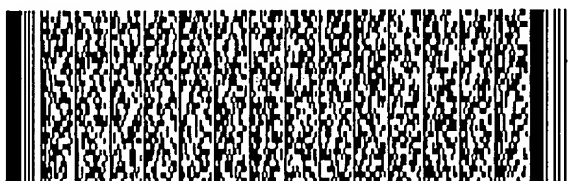
第三十四至三十六圖分別顯示該凸塊20'之可能的形狀。應要注意的是，該凸塊20'亦可以為任何其他適當的形狀。

第三十七至四十圖顯示本發明之半導體晶元封裝體之封裝方法的第七較佳實施例。

請參閱第三十七圖所示，並且配合參閱第五十一圖所示，在本實施例中，一半導體晶元1係首先被提供。在該晶元1之每一焊墊11上係形成有一電鍍層2。

然後，數個導電接腳9係被設置於該晶元1的焊墊安裝表面10上。該等導電接腳9係可以藉由，例如，一黏膠層來被固定於該焊墊安裝表面10上。該等導電接腳9可以是為，例如，一導線架(圖中未示)的接腳。

現在請參閱第三十八圖所示，在該等導電接腳9被設



五、發明說明 (16)

置於該焊墊安裝表面上之後，一絕緣層4係形成於該晶元1的焊墊安裝表面10上。接著，如在第三十九圖中所示，藉著曝光和化學沖洗等手段，該絕緣層4係形成有數個用於曝露對應之接腳9之一部份的曝露孔41和用於曝露該等焊墊11的覆蓋材料容置空間42。

然後，利用打線的手段，該晶元1的每一焊墊11係經由導線90來連接到對應的接腳9，如在第四十圖中所示。然後，於該覆蓋材料容置空間42內係填注有覆蓋材料50。

另一方面，於每一曝露孔41內係形成有一導電球7，且凸伸在該晶元1之焊墊安裝表面10之外之接腳9的部份係被切除。

第四十一圖顯示本發明之半導體晶元封裝體之封裝方法的第八較佳實施例。

請配合參閱第五十二圖所示，與第七較佳實施例不同，在本實施例中，以如導電金屬膠般之導電材料形成的導電體3係被形成取代該等導線90。由於該等導電體3的形成係與在第一較佳實施例中所述的相同，其之詳細描述於此恕不再贅述。

第四十二和四十三圖顯示本發明之半導體封裝體之封裝方法的第九較佳實施例。

在本實施例中，一半導體晶元1係首先被提供。在該晶元1之每一焊墊11上係形成有一電鍍層2。

然後，一薄膜基體43係被提供。該薄膜基體43具有一電路軌跡設置表面430和數個設置於該表面430上的電路



五、發明說明 (17)

軌跡431。

接著，該薄膜基體43之電路軌跡設置表面430係與該晶元1的焊墊安裝表面10黏接以致於該等電路軌跡431係與對應之焊墊11的電鍍層2電氣連接，如在第四十三圖中所示。該薄膜基體43更形成有數個用於曝露對應之電路軌跡431之一部份的通孔432。最後，於每一通孔432內係形成有一導電球7。

第四十四圖顯示本發明之半導體封裝體之封裝方法的第十較佳實施例。

在本實施例中，一半導體晶元1係首先被提供。在該晶元1之每一焊墊11上係形成有一電鍍層2。

然後，一薄膜基體43係被提供。該薄膜基體43具有一電路軌跡設置表面430和數個設置於該表面430上的電路軌跡431。

接著，該薄膜基體43之與該電路軌跡設置表面430相對的表面係與該晶元1的焊墊安裝表面10黏接。該薄膜基體43更形成有數個用於把該等電路軌跡431與對應之焊墊11電氣連接的電鍍貫孔433。最後，數個導電球7係被形成於對應的電路軌跡431上。

綜上所述，本發明之『半導體晶元封裝體及其之封裝方法』，確能藉上述所揭露之構造、裝置，達到預期之目的與功效，且申請前未見於刊物亦未公開使用，符合發明專利之新穎、進步等要件。

惟，上述所揭之圖式及說明，僅為本發明之實施例而



五、發明說明 (18)

已，非為限定本發明之實施例；大凡熟悉該項技藝之人仕，其所依本發明之特徵範疇，所作之其他等效變化或修飾，皆應涵蓋在以下本案之申請專利範圍內。



圖式簡單說明

第一至十圖是為描繪本發明半導體晶元封裝體之封裝方法之第一較佳實施例的示意流程剖視圖；

第十一圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第二較佳實施例來封裝之半導體晶元封裝體的示意剖視圖；

第十二至十四圖是為描繪本發明半導體晶元封裝體之封裝方法之第三較佳實施例的示意流程剖視圖；

第十五至十七圖是為描繪本發明半導體晶元封裝體之封裝方法之第四較佳實施例的示意流程剖視圖；

第二十三至二十五圖是為描繪其中一種把本發明半導體晶元封裝體之導電體形成於晶元之焊墊上之方式的示意剖視圖；

第二十六至二十九圖是為描繪本發明半導體晶元封裝體之封裝方法之第五較佳實施例的示意流程剖視圖；

第三十圖顯示經由本發明之半導體晶元封裝體之封裝方法所封裝製造的半導體晶元封裝體，其中，該晶元的焊墊係被設置在周緣；

第三十一至三十三圖是為描繪如何於本發明之半導體晶元封裝體之晶元之焊墊上形成一凸塊的示意流程剖視圖；

第三十四至三十六圖是為描繪在第三十三圖中所示之凸塊之可能之形狀的示意頂示平面圖；

第三十七至四十圖是為描繪本發明半導體晶元封裝體之封裝方法之第六較佳實施例的示意流程剖視圖；



圖式簡單說明

第四十一至四十三是為描繪本發明半導體晶元封裝體之封裝方法之第七較佳實施例的示意流程剖視圖；

第四十四圖是為描繪利用本發明之半導體封裝體之封裝方法之第八較佳實施例封裝出來之封裝體的示意剖視圖；

第四十五圖是為本發明半導體晶元封裝體之封裝方法之第一較佳實施例的大致流程圖；

第四十六圖是為本發明半導體晶元封裝體之封裝方法之第二較佳實施例的大致流程圖；

第四十七圖是為本發明半導體晶元封裝體之封裝方法之第三較佳實施例的大致流程圖；

第四十八圖是為本發明半導體晶元封裝體之封裝方法之第四較佳實施例的大致流程圖；

第四十九圖是為本發明半導體晶元封裝體之封裝方法之第五較佳實施例的大致流程圖；

第五十圖是為本發明半導體晶元封裝體之封裝方法之第六較佳實施例的大致流程圖；

第五十一圖是為本發明半導體晶元封裝體之封裝方法之第七較佳實施例的大致流程圖；及

第五十二圖是為本發明半導體晶元封裝體之封裝方法之第八較佳實施例的大致流程圖。



六、申請專利範圍

1. 一種半導體晶元封裝體，包含：

一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

數個導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；

一對分隔的隔壁，其係形成於該晶元之該等焊墊的兩側以致於該等導電體的導電連接部係位於該對隔壁之間；

一覆蓋層，其係形成於該對隔壁之間；

一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該覆蓋層及該等導電體，於該保護層上係形成有數個連通到對應之導電體的通孔；及

數個導電球，每一導電球係形成於對應之通孔內並且係與對應的導電體電氣連接。

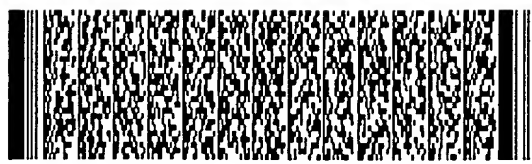
2. 如申請專利範圍第1項所述之半導體晶元封裝體，其中，該半導體晶元是為從一晶圓切割出來的單一晶元。

3. 如申請專利範圍第1項所述之半導體晶元封裝體，其中，該半導體晶元是為未從一晶圓切割出來的晶元。

4. 如申請專利範圍第1項所述之半導體晶元封裝體，其中，於該晶元之每一焊墊上係形成有一電鍍層。

5. 如申請專利範圍第1項所述之半導體晶元封裝體，其中，該等導電體係由導電金屬膠製成。

6. 如申請專利範圍第5項所述之半導體晶元封裝體，其



六、申請專利範圍

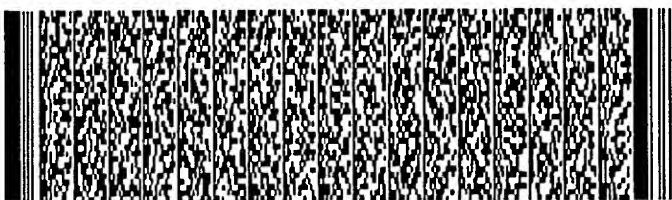
中，該導電金屬膠可以是為摻雜有任何導電金屬的導電金屬膠。

7. 如申請專利範圍第 1 項所述之半導體晶元封裝體，其中，該覆蓋層係由環氧樹脂製成。
8. 如申請專利範圍第 1 項所述之半導體晶元封裝體，其中，該覆蓋層係由感光油墨製成。
9. 如申請專利範圍第 1 項所述之半導體晶元封裝體，其中，該覆蓋層係由聚醯亞胺製成。
10. 如申請專利範圍第 1 項所述之半導體晶元封裝體，更包含數個導電層，每一導電層係至少形成於對應之導電體的延伸部上並且係與對應的導電球電氣連接。
11. 如申請專利範圍第 10 項所述之半導體晶元封裝體，其中，每一導電層包含一利用電鍍方式以鎳為材料形成的鎳層。
12. 如申請專利範圍第 10 項所述之半導體晶元封裝體，其中，每一導電層包含一利用電鍍方式以金為材料形成的金層。
13. 如申請專利範圍第 1 項所述之半導體晶元封裝體，其中，該對隔壁具有一個比該等導電體之高度高的高度。
14. 如申請專利範圍第 1 項所述之半導體晶元封裝體，其中，該對隔壁具有一個與該等導電體之高度相同的高度，且其中，該覆蓋層曝露該等導電體之導電連接部的頂端部份。



六、申請專利範圍

15. 如申請專利範圍第14項所述之半導體晶元封裝體，其中，該等導電層係形成於整個對應的導電體上。
16. 如申請專利範圍第1項所述之半導體晶元封裝體，更包含數個被形成於該晶元之對應之焊墊上的凸塊，每一凸塊係與對應之導電體的導電連接部接觸俾可降低導電體發生脫離現象的可能性。
17. 一種半導體晶元封裝體，包含：
 - 一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；
 - 數個導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；
 - 一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該等導電體，於該保護層上係形成有數個連通到對應之導電體的通孔；及
 - 數個導電球，每一導電球係形成於對應的通孔內並且係與對應的導電體電氣連接。
18. 如申請專利範圍第17項所述之半導體晶元封裝體，其中，該半導體晶元是為從一晶圓切割出來的單一晶元。
19. 如申請專利範圍第17項所述之半導體晶元封裝體，其中，該半導體晶元是為未從一晶圓切割出來的晶元。
20. 如申請專利範圍第17項所述之半導體晶元封裝體，



六、申請專利範圍

其中，於該晶元之每一焊墊上係形成有一電鍍層。

21. 如申請專利範圍第17項所述之半導體晶元封裝體，其中，該等導電體係由導電金屬膠製成。

22. 如申請專利範圍第21項所述之半導體晶元封裝體，其中，該導電金屬膠可以是為摻雜有任何導電金屬的導電金屬膠。

23. 如申請專利範圍第17項所述之半導體晶元封裝體，其中，該保護層係對應於該晶元之焊墊來形成有數個被填注有覆蓋材料的覆蓋材料容置空間。

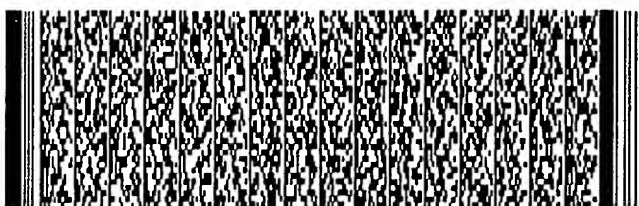
24. 如申請專利範圍第23項所述之半導體晶元封裝體，其中，該覆蓋材料是為環氧樹脂。

25. 如申請專利範圍第17項所述之半導體晶元封裝體，更包含數個導電層，每一導電層係至少形成於對應之導電體的延伸部上並且係與對應的導電球電氣連接。

26. 如申請專利範圍第25項所述之半導體晶元封裝體，其中，每一導電層包含一利用電鍍方式以鎳為材料形成的鎳層。

27. 如申請專利範圍第25項所述之半導體晶元封裝體，其中，每一導電層包含一利用電鍍方式以金為材料形成的金層。

28. 如申請專利範圍第17項所述之半導體晶元封裝體，更包含數個被形成於該晶元之對應之焊墊上的凸塊，每一凸塊係與對應之導電體的導電連接部接觸俾可降低導電體發生脫離現象的可能性。



六、申請專利範圍

29. 一種半導體晶元封裝體，包含：

一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

數個導電接腳，該等導電接腳係被設置於該晶元的焊墊安裝表面上；

數個導電體，每一導電體電氣連接對應的導電接腳和該晶元之對應的焊墊；

一保護層，其係形成於該晶元的整個焊墊安裝表面上俾可覆蓋該等導電接腳和該等導電體，於該保護層上係形成有數個連通到對應之導電接腳的通孔；及

數個導電球，每一導電球係形成於對應的通孔內並且係與對應的導電接腳電氣連接。

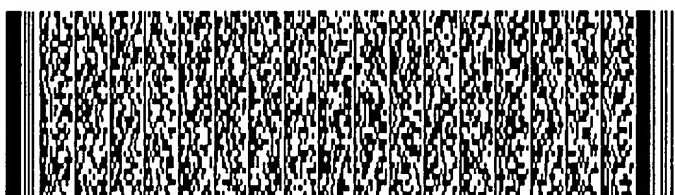
30. 如申請專利範圍第29項所述之半導體晶元封裝體，其中，該等導電體是為導線。

31. 如申請專利範圍第29項所述之半導體晶元封裝體，其中，該等導電體是為導電金屬膠。

32. 一種半導體晶元封裝體，包含：

一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡，該薄膜基體之電路軌跡設置表面係與該晶元的焊墊安裝表面黏接以致於該等電路軌跡係與對應之焊墊電氣連接，該薄膜基體更形成有數個用於曝露對應之電路軌跡之一部份



六、申請專利範圍

的通孔；及

數個導電球，每一導電球係形成於對應的通孔並且係與對應的電路軌跡電氣連接。

33. 一種半導體晶元封裝體，包含：

一半導體晶元，其具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡，該薄膜基體之與該電路軌跡設置表面相對的表面係與該晶元的焊墊安裝表面黏接，該薄膜基體更形成有數個用於把對應之電路軌跡與對應之焊墊電氣連接的電鍍貫孔；及

數個導電球，該等導電球係被形成於對應的電路軌跡上。

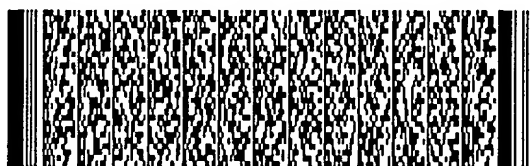
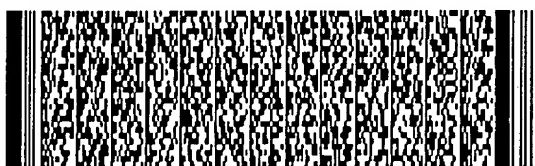
34. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

於該晶元的每一焊墊上形成一導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；

於該晶元的焊墊安裝表面上形成一絕緣層俾可覆蓋該等導電體，經由曝光及化學沖洗等處理，一對分隔的隔壁係形成於該晶元之該等焊墊的兩側；

於該對隔壁之間形成一覆蓋層；



六、申請專利範圍

於該晶元的整個鉅墊安裝表面上形成一保護層俾可覆蓋該覆蓋層及該等導電層，該保護層係形成有數個連通到對應之導電體的通孔；及

於每一通孔形成一與對應之導電體電氣連接且凸伸到通孔之外的導電球。

35. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在提供半導體晶元的步驟中，該半導體晶元是為從一晶圓切割出來的單一晶元。
36. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在提供半導體晶元的步驟中，該半導體晶元是為未從一晶圓切割出來的晶元。
37. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在形成導電體的步驟之前，更包含如下之步驟：

於該晶元之每一焊墊上形成一電鍍層。

38. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在形成導電體的步驟中，該等導電體係由導電金屬膠製成。
39. 如申請專利範圍第38項所述之半導體晶元封裝體的封裝方法，其中，在形成導電體的步驟中，該導電金屬膠可以是為摻雜有任何導電金屬的導電膠。
40. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在形成該覆蓋層的步驟中，該覆蓋層係由環氧樹脂製成。



六、申請專利範圍

41. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在形成該覆蓋層的步驟中，該覆蓋層係由感光油墨製成。
42. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，其中，在形成該覆蓋層的步驟中，該覆蓋層係由聚醯亞胺製成。
43. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，在形成保護層的步驟之前，更包含於每一導電體上形成一導電層的步驟。
44. 如申請專利範圍第43項所述之半導體晶元封裝體的封裝方法，其中，在形成導電層的步驟中，該等導電層包含一利用電鍍方式以鎳為材料形成的鎳層。
45. 如申請專利範圍第43項所述之半導體晶元封裝體的封裝方法，其中，在形成導電層的步驟中，該等導電層包含一利用電鍍方式以金為材料形成的金層。
46. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，在形成保護層之前，更包含如下之步驟：
藉著研磨處理來使該覆蓋層與該對隔壁具有一個與該等導電體之高度相同的高度且該覆蓋層曝露該等導電體之導電連接部的頂端部份。
47. 如申請專利範圍第34項所述之半導體晶元封裝體的封裝方法，在形成導電體的步驟之前，更包含如下之步驟：

於該晶元的每一焊墊上形成一凸塊以致於每一凸



六、申請專利範圍

塊在導電體的形成時係與對應之導電體的導電連接部接觸俾可降低導電體發生脫離現象的可能性。

48. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

於該晶元的每一焊墊上形成一導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；

於該晶元的焊墊安裝表面上形成一絕緣層俾可覆蓋該等導電體；

藉著研磨處理來使該絕緣層曝露該等導電體的頂端部份；

於該絕緣層的表面上形成一保護層俾可覆蓋該等導電體，該保護層係形成有數個連通到對應之導電體的通孔；及

於每一通孔形成一與對應之導電體電氣連接且凸伸到通孔之外的導電球。

49. 如申請專利範圍第48項所述之半導體晶元封裝體的封裝方法，在形成該保護層的步驟之前，更包含一個於每一導電體上形成一導電層的步驟，且在形成該絕緣層的步驟中，該絕緣層的通孔係連通到對應的導電體。

50. 如申請專利範圍第49項所述之半導體晶元封裝體的



六、申請專利範圍

封裝方法，其中，在形成導電層的步驟中，每一導電層係包括一利用電鍍方式以鎳為材料形成的鎳層和一利用電鍍方式以金為材料形成的金層中之至少一者。

51. 如申請專利範圍第48項所述之半導體晶元封裝體的封裝方法，其中，在形成該保護層的步驟中，該保護層係對應於該晶元之焊墊來形成有數個被填注有覆蓋材料的覆蓋材料容置空間。

52. 如申請專利範圍第48項所述之半導體晶元封裝體的封裝方法，其中，在形成該等導電體的步驟之前，更包含於晶元之每一焊墊上形成一電鍍層的步驟。

53. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

於該晶元的焊墊安裝表面上形成一絕緣層，該絕緣層係形成有數個導電體容置空間，每一導電體容置空間曝露該晶元之該等焊墊中之對應之一者；

於每一導電體容置空間內係形成一導電體，每一導電體具有一在該晶元之焊墊安裝表面上延伸作為電路軌跡的延伸部及一延伸到一對應之焊墊的導電連接部；

於該晶元的焊墊安裝表面上形成一絕緣層俾可覆蓋該等導電體；

於該絕緣層的表面上形成一保護層俾可覆蓋該等



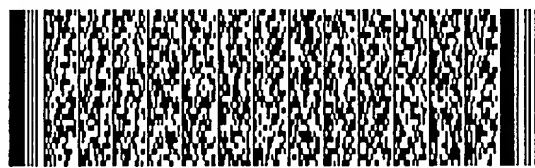
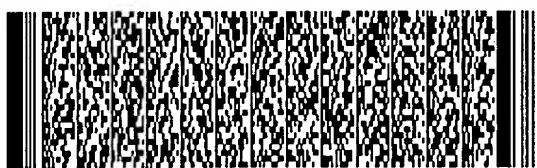
六、申請專利範圍

導電體，該保護層係形成有數個連通到對應之導電體的通孔；及

於每一通孔形成一與對應之導電體電氣連接且凸伸到通孔之外的導電球。

54. 如申請專利範圍第53項所述之半導體晶元封裝體的封裝方法，在形成該保護層的步驟之前，更包含一個於每一導電體上形成一導電層的步驟，且在形成該絕緣層的步驟中，該絕緣層的通孔係連通到對應的導電體。
55. 如申請專利範圍第54項所述之半導體晶元封裝體的封裝方法，其中，在形成導電層的步驟中，每一導電層係包括一利用電鍍方式以鎳為材料形成的鎳層和一利用電鍍方式以金為材料形成的金層中之至少一者。
56. 如申請專利範圍第53項所述之半導體晶元封裝體的封裝方法，其中，在形成該保護層的步驟中，該保護層係對應於該晶元之焊墊來形成有數個被填注有覆蓋材料的覆蓋材料容置空間。
57. 如申請專利範圍第53項所述之半導體晶元封裝體的封裝方法，其中，在形成該等導電體的步驟之前，更包含於晶元之每一焊墊上形成一電鍍層的步驟。
58. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；



六、申請專利範圍

於該晶元的焊墊安裝表面上形成一絕緣層；

經由曝光及化學沖洗等等手段來把該絕緣層形成數個條狀物，該等條狀物具有在該晶元之焊墊安裝表面上延伸的延伸部及延伸到對應之焊墊的連接部；

藉由電鍍手段來使該等條狀物變成具有導電性的條狀物；

於該晶元的焊墊安裝表面上形成一保護層俾可覆蓋該等具有導電性的條狀物，該保護層係形成有數個連通到對應之具有導電性之條狀物的通孔；及

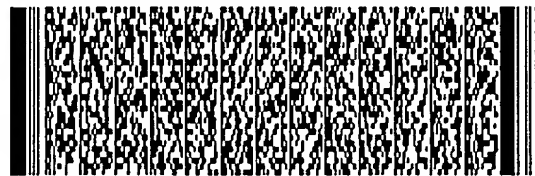
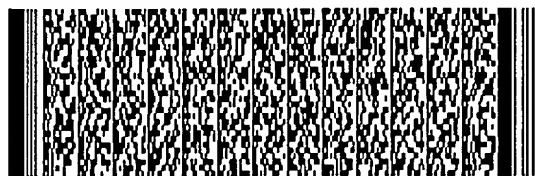
於每一通孔形成一與對應之具有導電性之條狀物電氣連接且凸伸到通孔之外的導電球。

59. 如申請專利範圍第58項所述之半導體晶元封裝體的封裝方法，在形成該保護層的步驟之前，更包含一個於每一具導電性之條狀物上形成一導電層的步驟，且在形成該絕緣層的步驟中，該絕緣層的通孔係連通到對應的導電體。

60. 如申請專利範圍第59項所述之半導體晶元封裝體的封裝方法，其中，在形成導電層的步驟中，每一導電層係包括一利用電鍍方式以鎳為材料形成的鎳層和一利用電鍍方式以金為材料形成的金層中之至少一者。

61. 如申請專利範圍第58項所述之半導體晶元封裝體的封裝方法，其中，在形成該等條狀物的步驟之前，更包含於晶元之每一焊墊上形成一電鍍層的步驟。

62. 一種形成半導體晶元封裝體的封裝方法，包含如下之



六、申請專利範圍

步驟：

提供一半導體晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

把數個導電接腳設置於該晶元的焊墊安裝表面上；

形成數個導電體，該等導電體把每一導電接腳電氣連接至該晶元之對應的焊墊；

於該晶元的整個焊墊安裝表面上形成一保護層俾可覆蓋該等導電接腳和該等導電體，於該保護層上係形成有數個連通到對應之導電接腳的通孔；及

於每一通孔形成一與對應之導電接腳電氣連接的導電球。

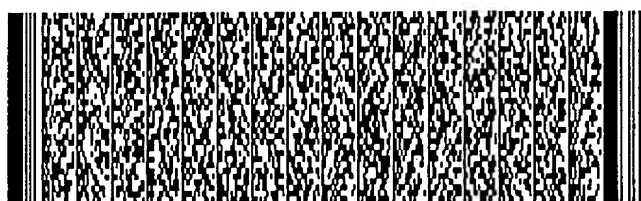
63. 如申請專利範圍第62項所述之半導體晶元封裝體的封裝方法，其中，在形成導電體的步驟中，該等導電體是為導線。

64. 如申請專利範圍第63項所述之半導體晶元封裝體的封裝方法，其中，在形成導電體的步驟中，該等導電體是為導電金屬膠。

65. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

提供一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡；



六、申請專利範圍

把該薄膜基體之電路軌跡設置表面與該晶元的焊墊安裝表面黏接以致於該等電路軌跡係與對應之焊墊電氣電氣連接，該薄膜基體更形成有數個用於曝露對應之電路軌跡之一部份的通孔；及

於每一通孔內形成一與對應之電路軌跡電氣連接的導電球。

66. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

提供一薄膜基體，該薄膜基體具有一電路軌跡設置表面和數個設置於該表面上的電路軌跡；

把該薄膜基體之與該電路軌跡設置表面相對的表面與該晶元的焊墊安裝表面黏接，該薄膜基體更形成有數個用於把對應之電路軌跡與對應之焊墊電氣連接的電鍍貫孔；及

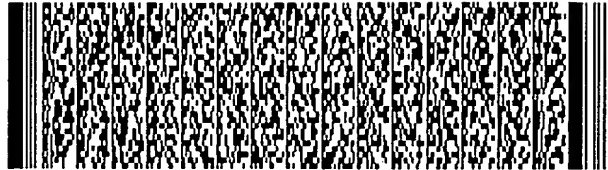
於每一電路軌跡上形成一導電球。



第 1/37 頁



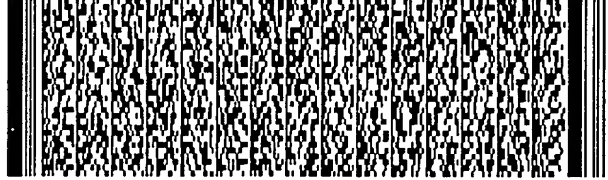
第 2/37 頁



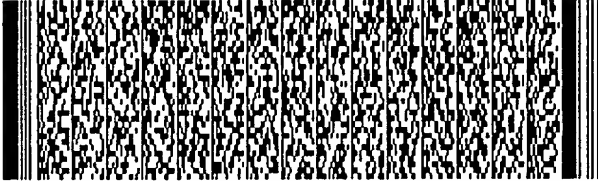
第 3/37 頁



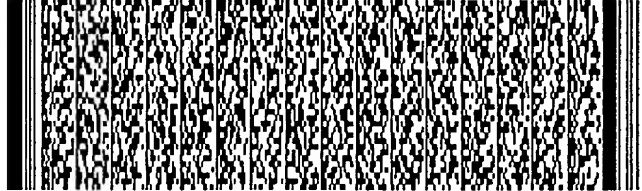
第 4/37 頁



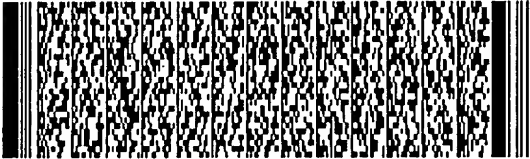
第 4/37 頁



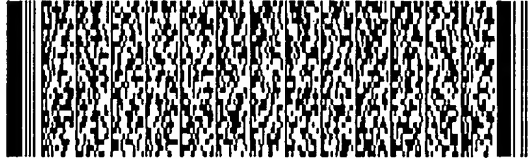
第 5/37 頁



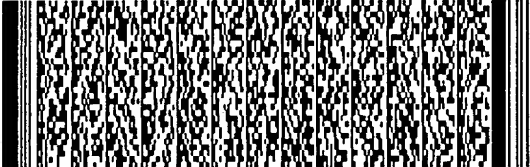
第 6/37 頁



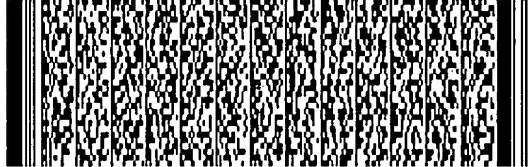
第 6/37 頁



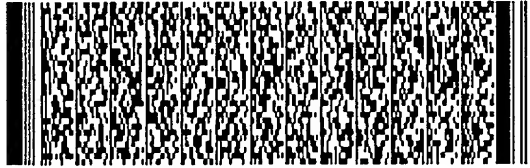
第 7/37 頁



第 7/37 頁



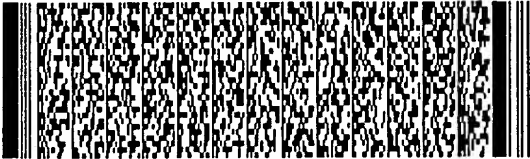
第 8/37 頁



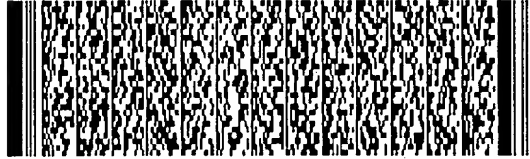
第 8/37 頁



第 9/37 頁



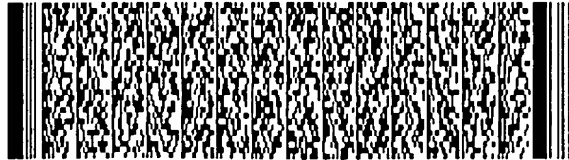
第 9/37 頁



第 10/37 頁



第 11/37 頁



1000

Figure 6

Figure 6 shows a series of four histograms representing the distribution of the number of non-zero elements in the vectors \tilde{v}_k for different values of k . The x-axis is labeled "Number of non-zero elements" and ranges from 0 to 100. The y-axis is labeled "Frequency" and ranges from 0 to 10. The histograms are stacked vertically, with the top histogram corresponding to $k=1$, the second to $k=2$, the third to $k=3$, and the bottom to $k=4$. As k increases, the distribution shifts towards a higher number of non-zero elements, indicating that more components of the vector become non-zero as the iteration progresses.

100

100

100

100

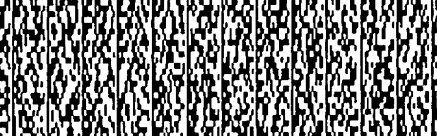
100

[illegible]

100

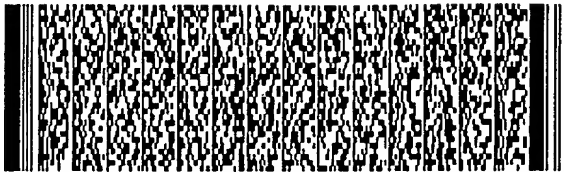
100

100

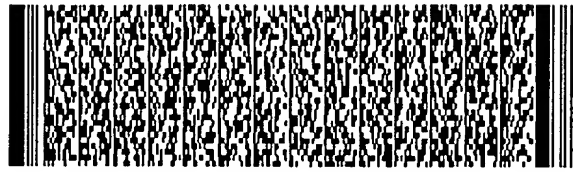
[illegible]

100

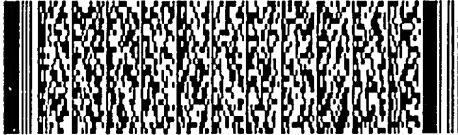
第 20/37 頁



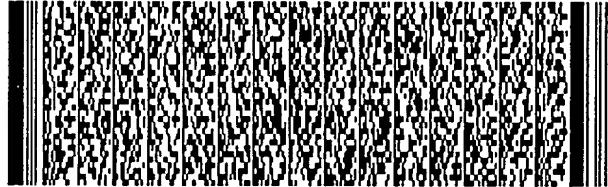
第 20/37 頁



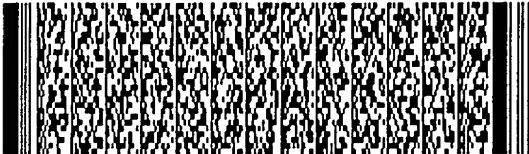
第 21/37 頁



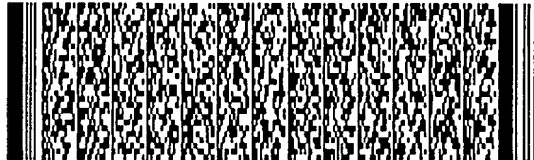
第 22/37 頁



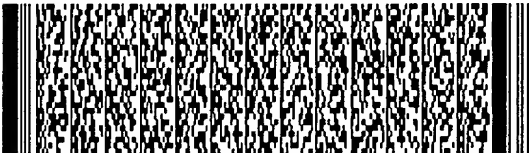
第 23/37 頁



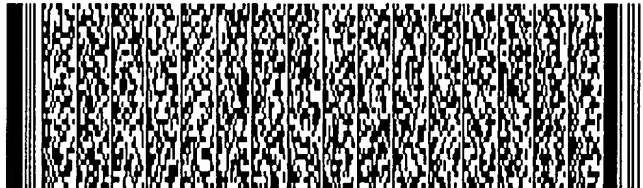
第 24/37 頁



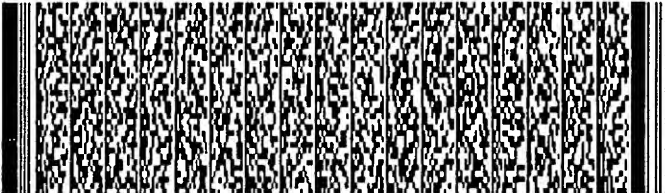
第 24/37 頁



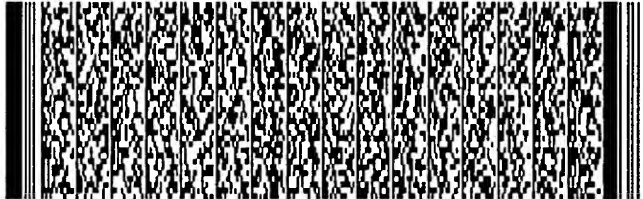
第 25/37 頁



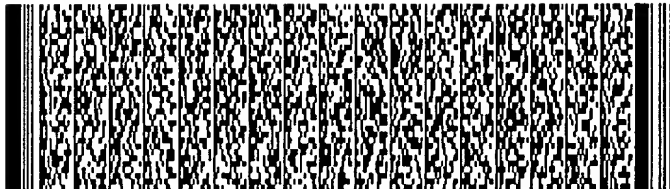
第 26/37 頁



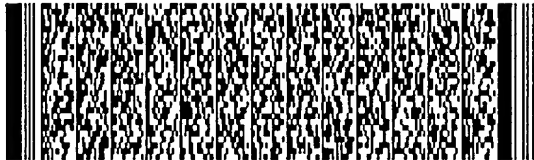
第 27/37 頁



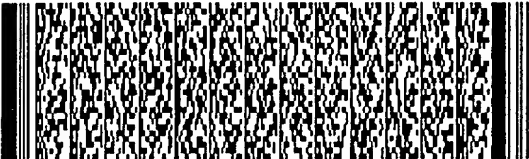
第 28/37 頁



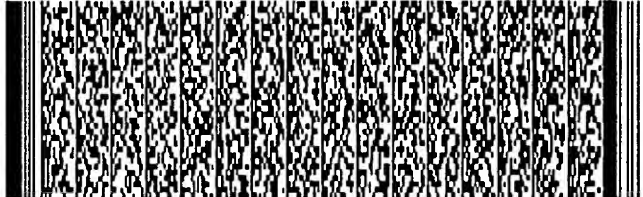
第 29/37 頁



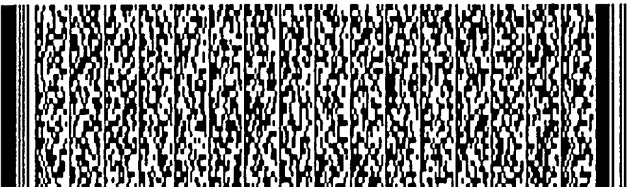
第 29/37 頁



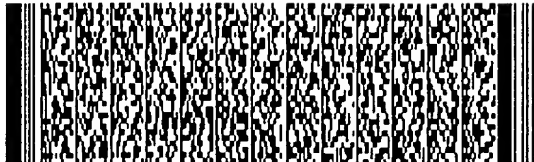
第 30/37 頁



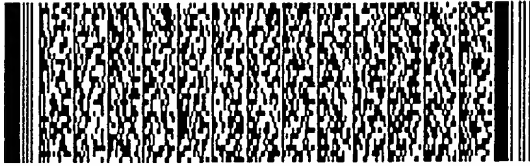
第 31/37 頁



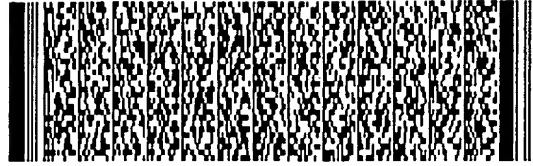
第 32/37 頁



第 32/37 頁



第 33/37 頁



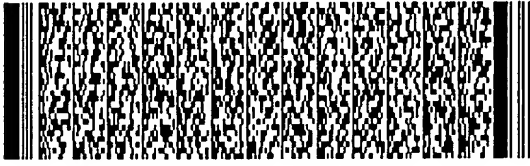
第 33/37 頁



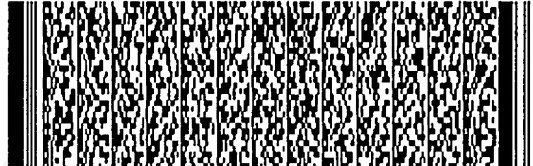
第 34/37 頁



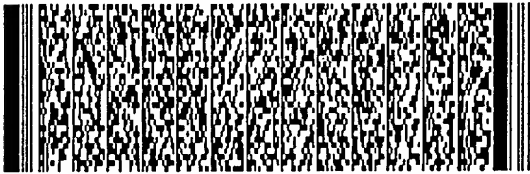
第 34/37 頁



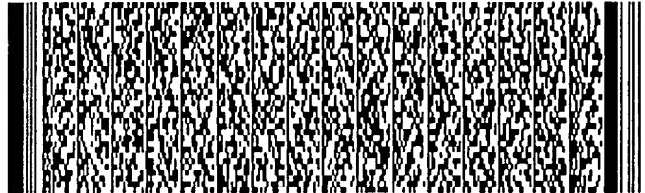
第 35/37 頁



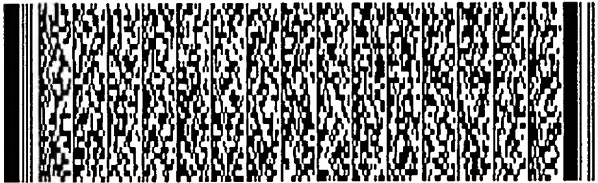
第 35/37 頁



第 36/37 頁



第 37/37 頁



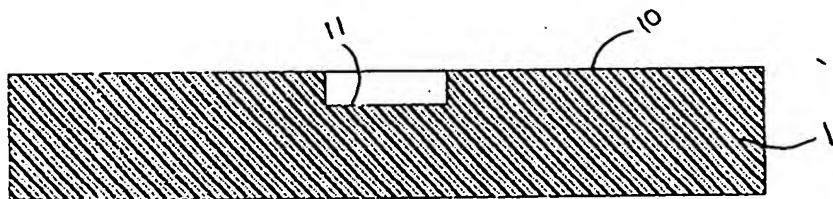


FIG. 1

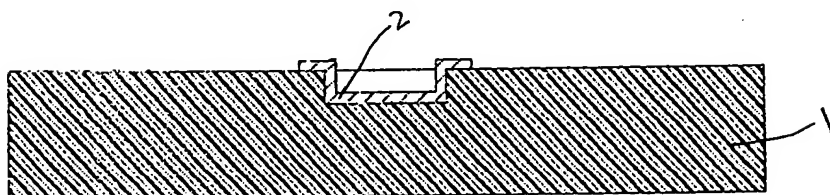


FIG. 2

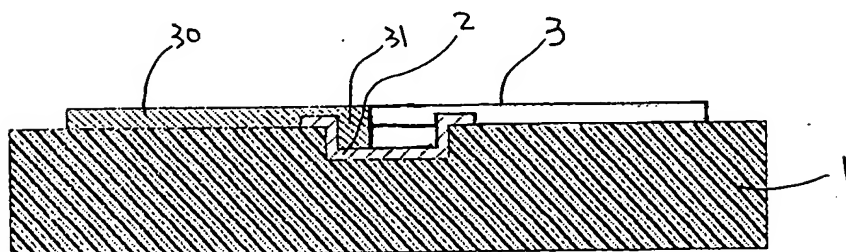


FIG. 3

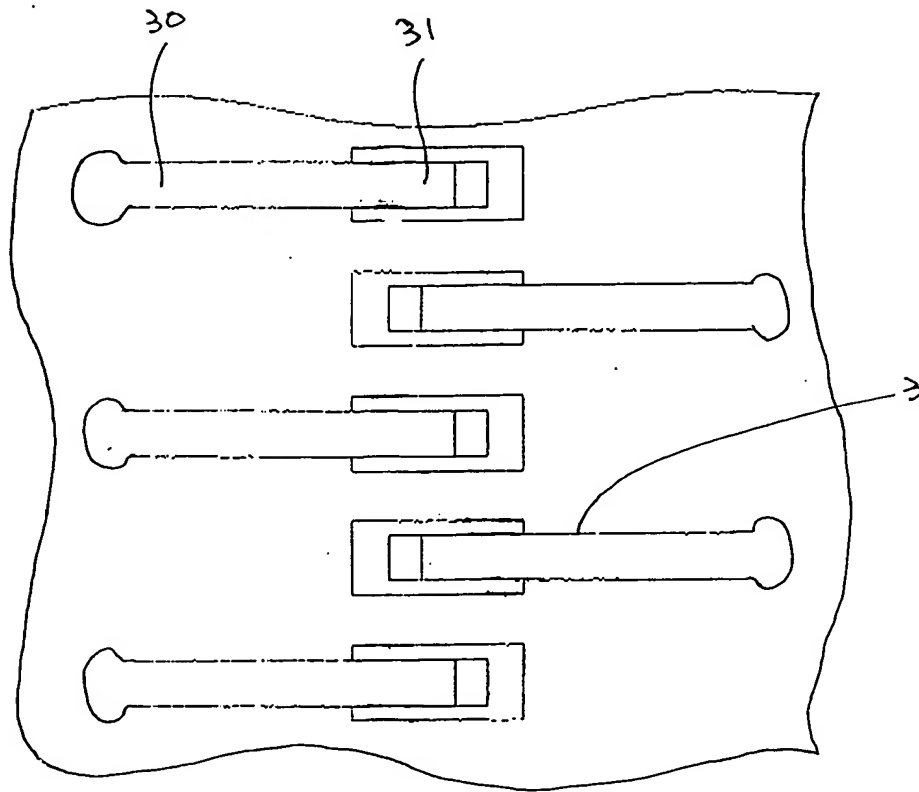


FIG. 4

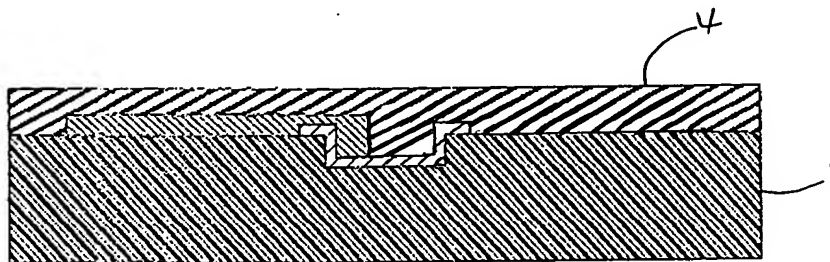


FIG. 5

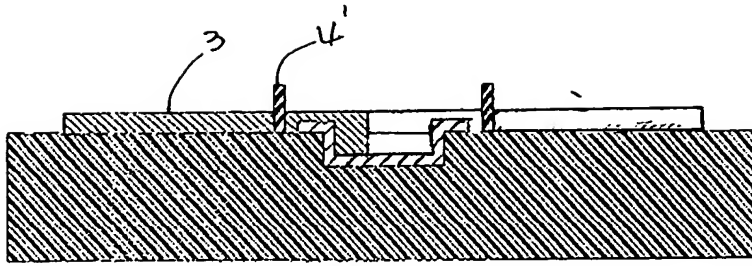


FIG.6

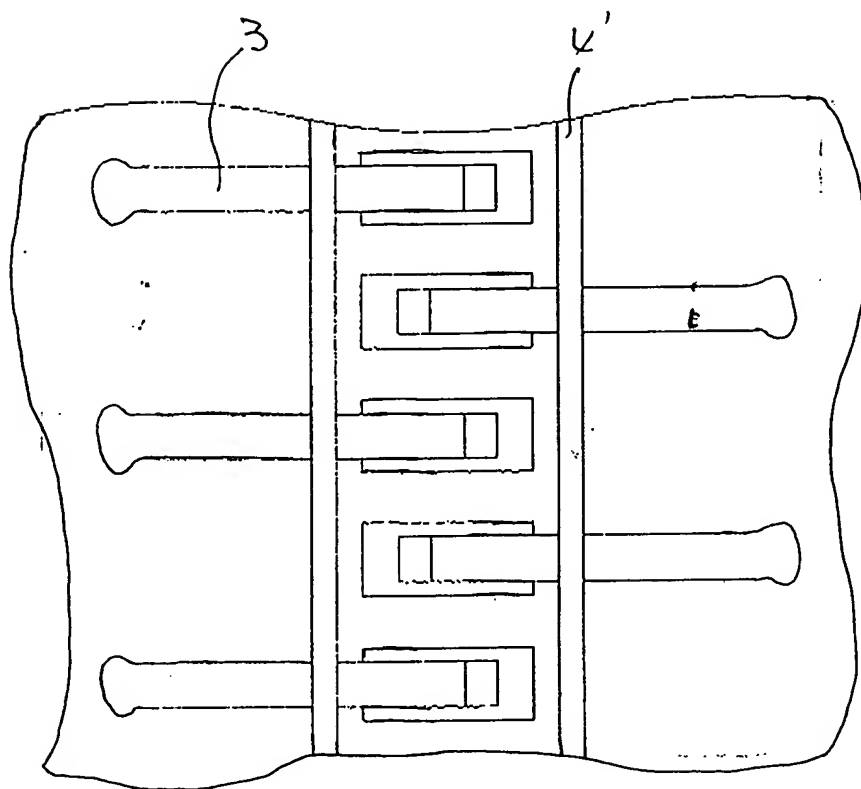


FIG.7

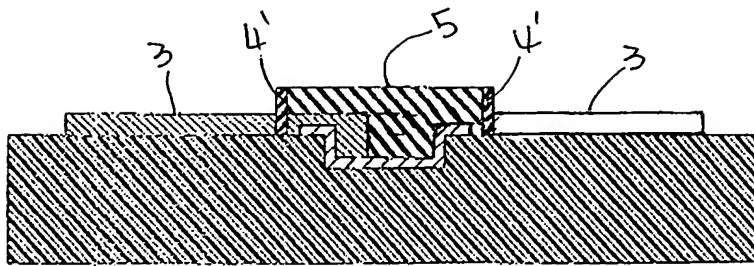


FIG.8

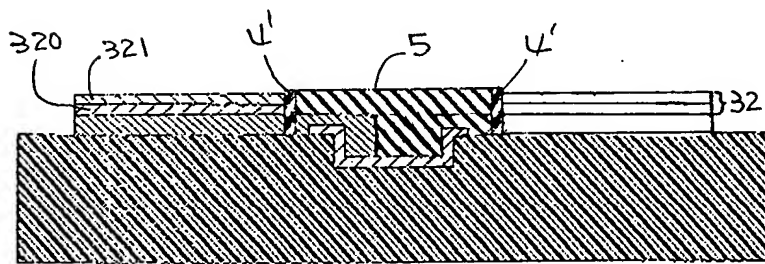


FIG.9

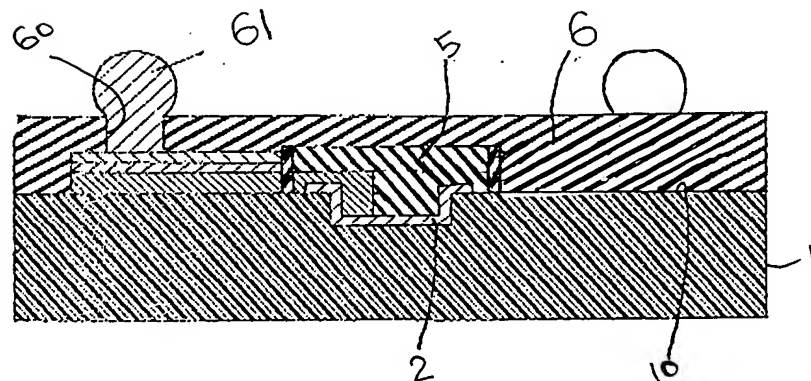


FIG.10

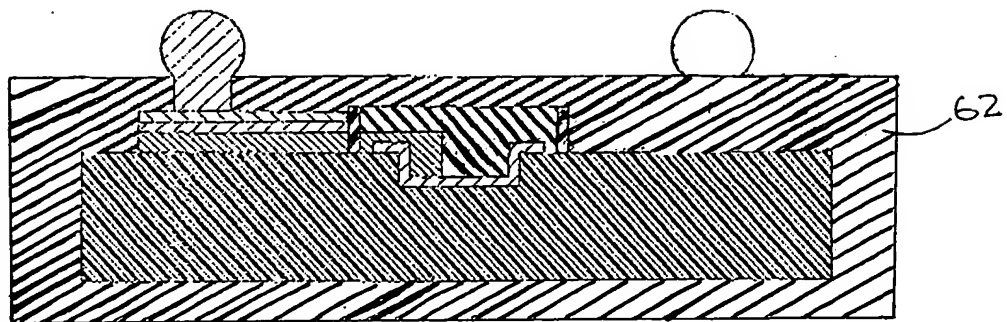


FIG. 11

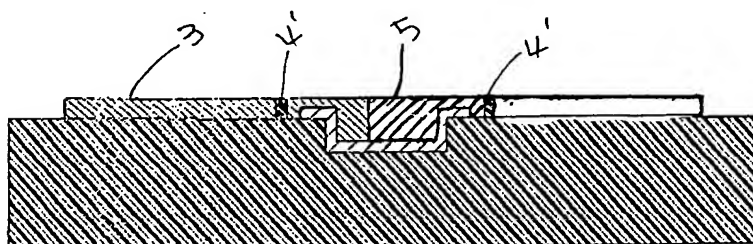


FIG. 12

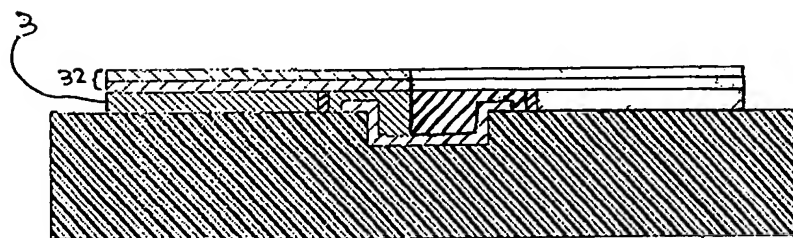


FIG. 13

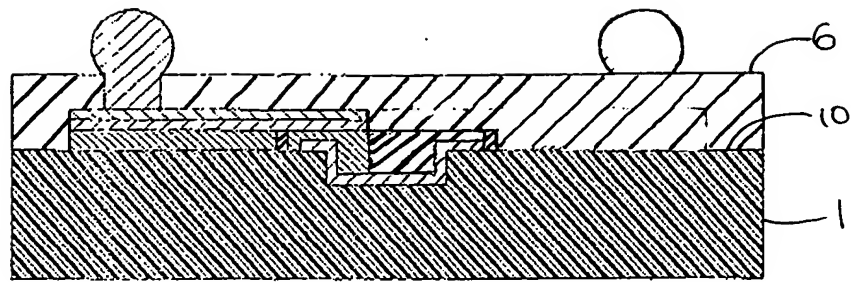


FIG. 14

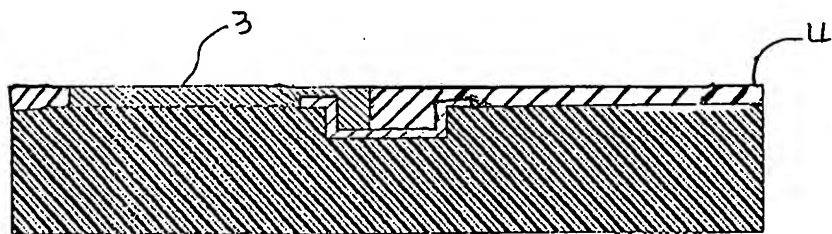


FIG. 15

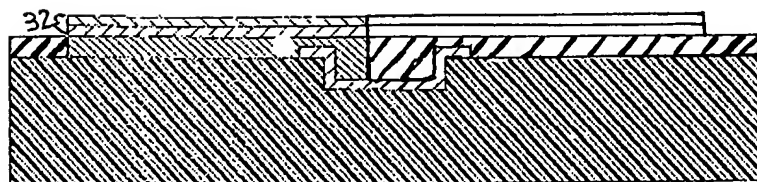


FIG. 16

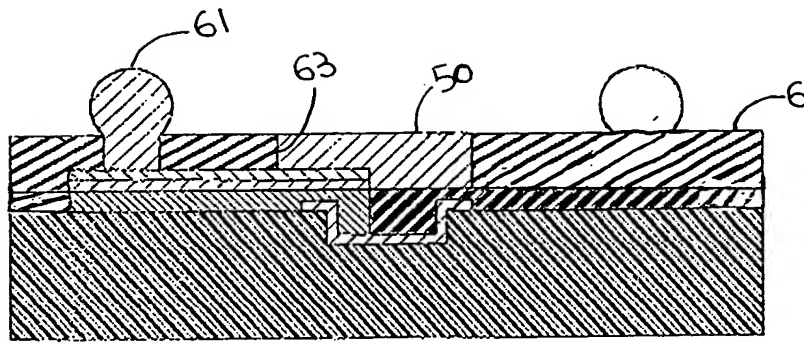


FIG. 17

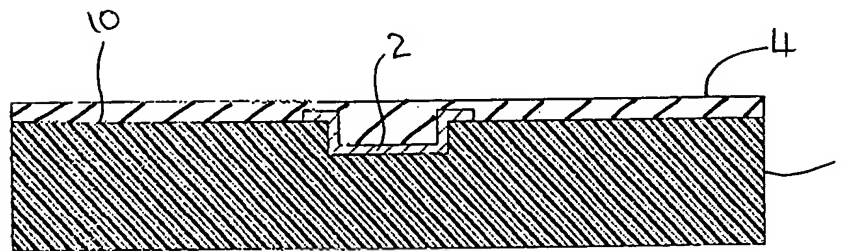


FIG. 18

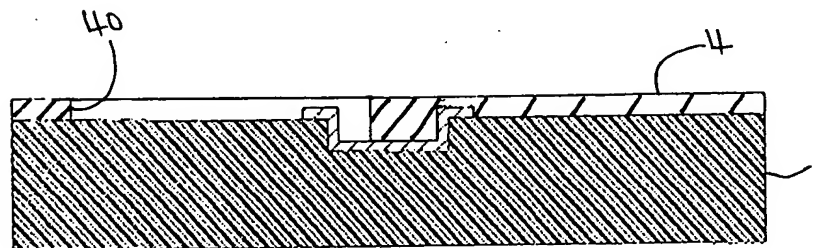


FIG. 19

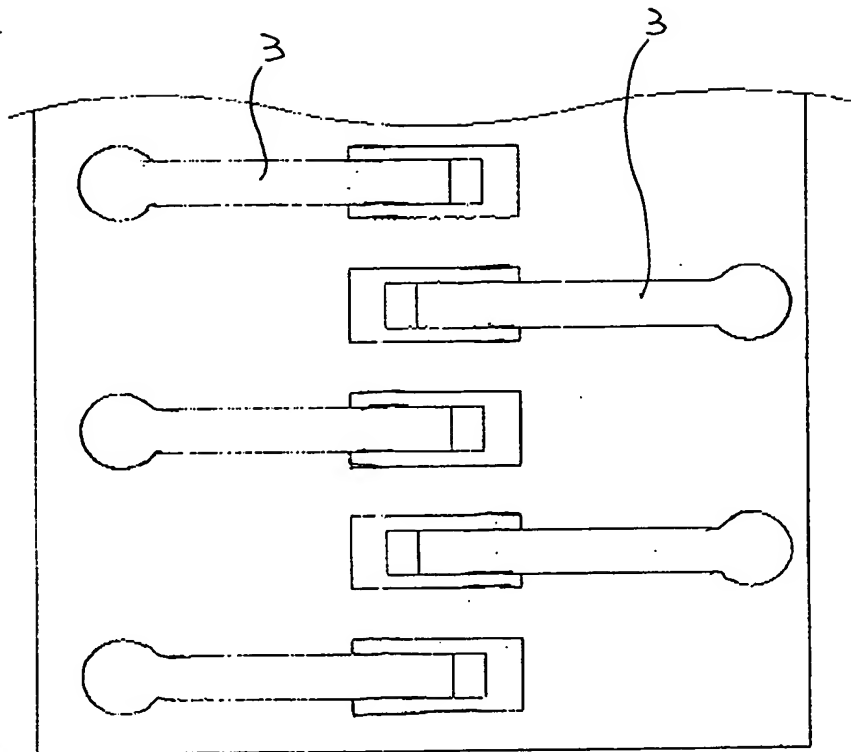


FIG. 20

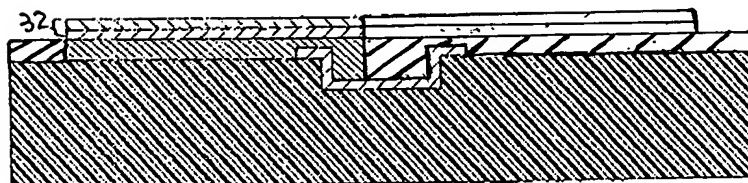


FIG. 21

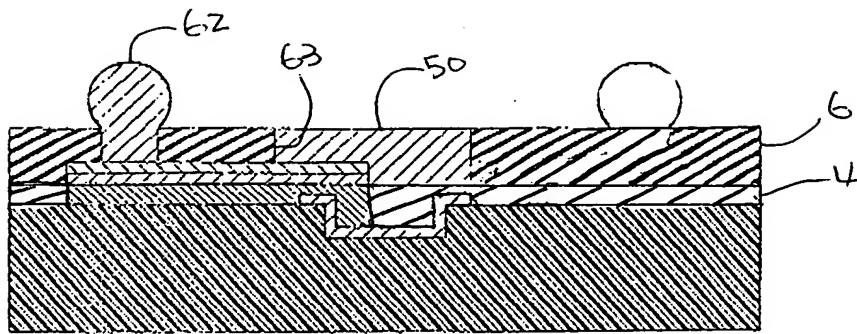


FIG.22

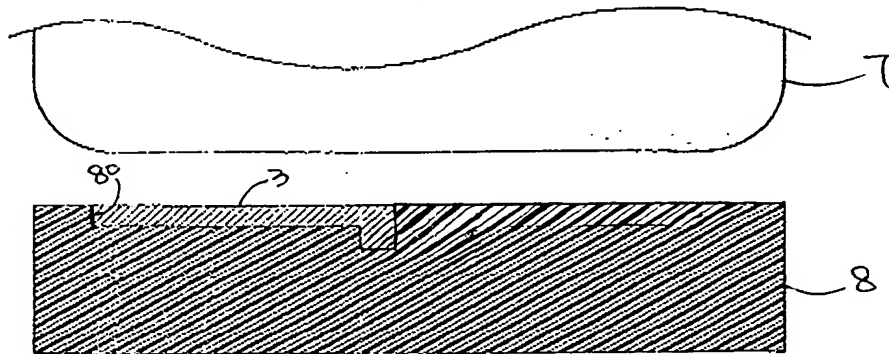


FIG.23

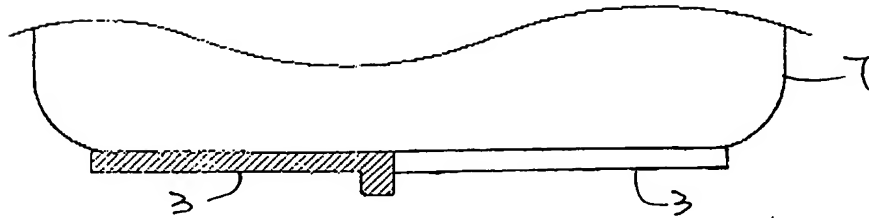


FIG.24

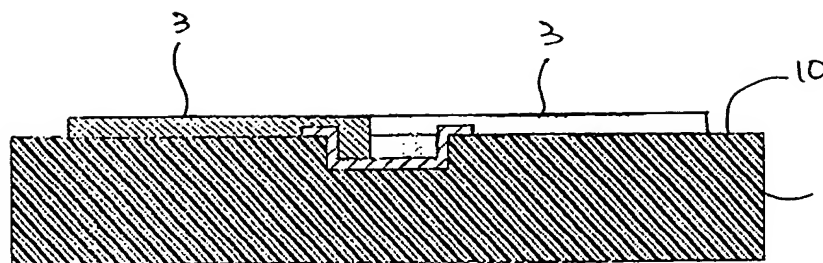


FIG.25

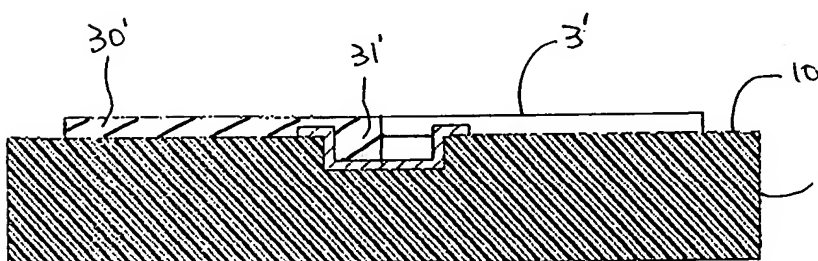


FIG.26

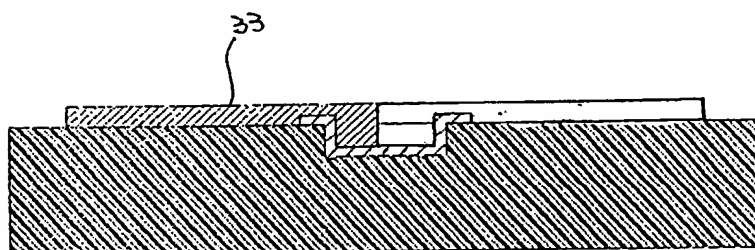


FIG.27

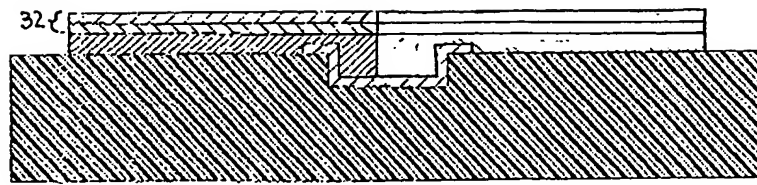


FIG. 28

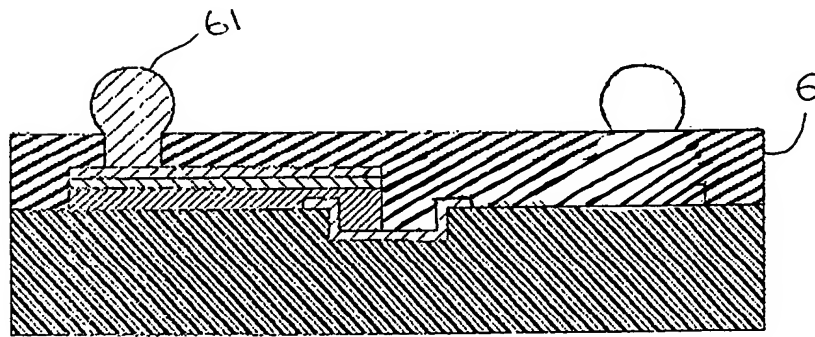


FIG. 29

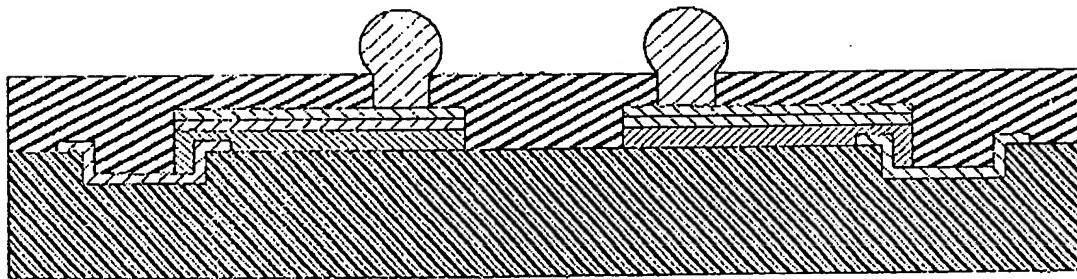


FIG. 30

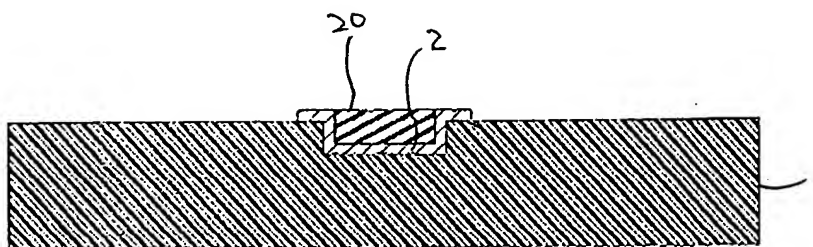


FIG.31

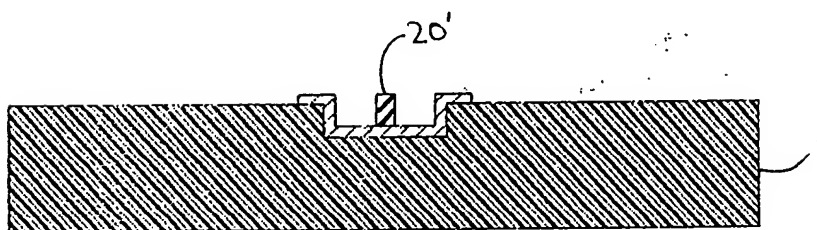


FIG.32

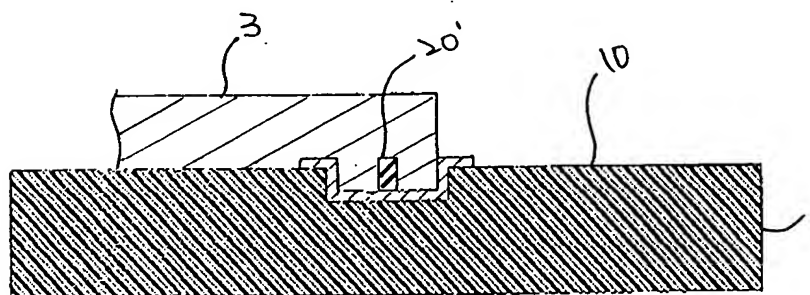


FIG.33

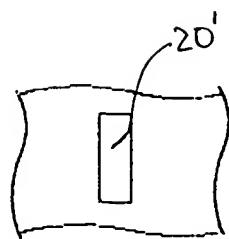


FIG. 34

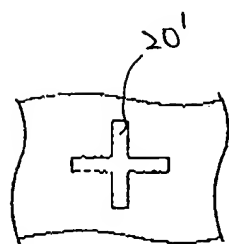


FIG. 35

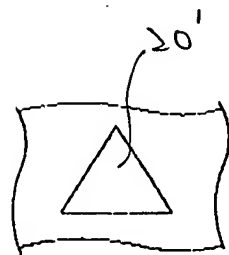


FIG. 36

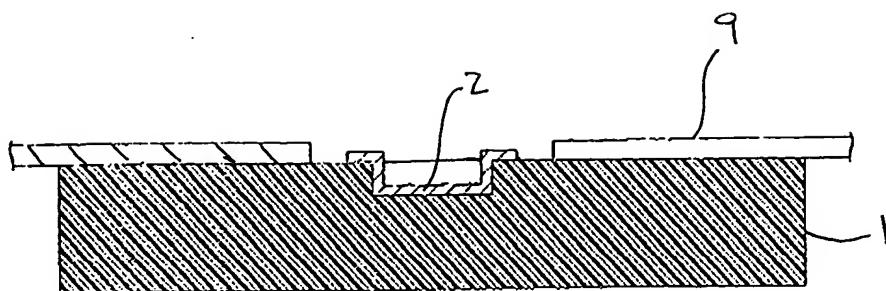


FIG.37

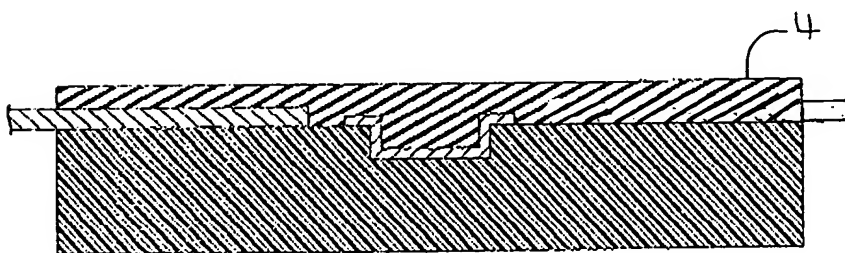


FIG.38

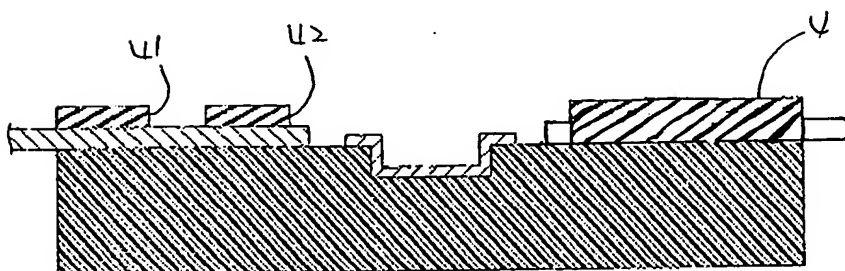


FIG.39

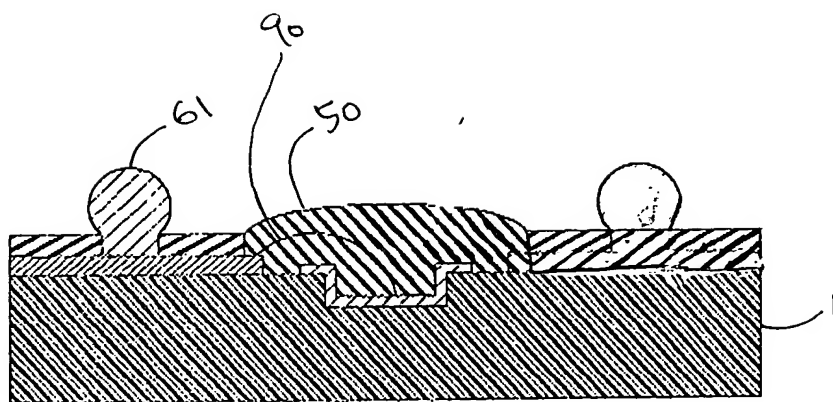


FIG.40

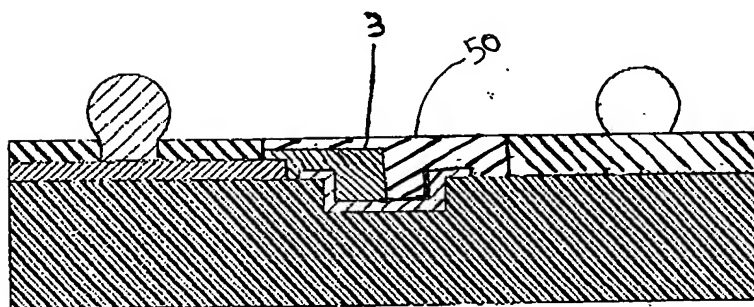


FIG.41

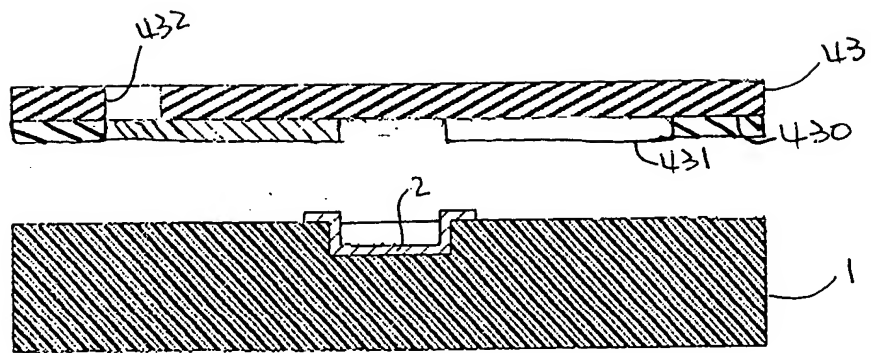


FIG. 42

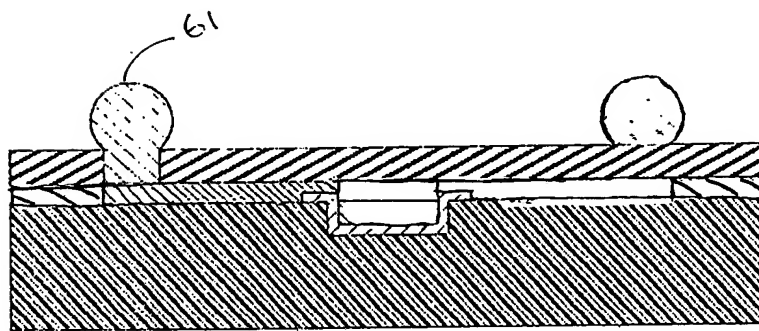


FIG. 43

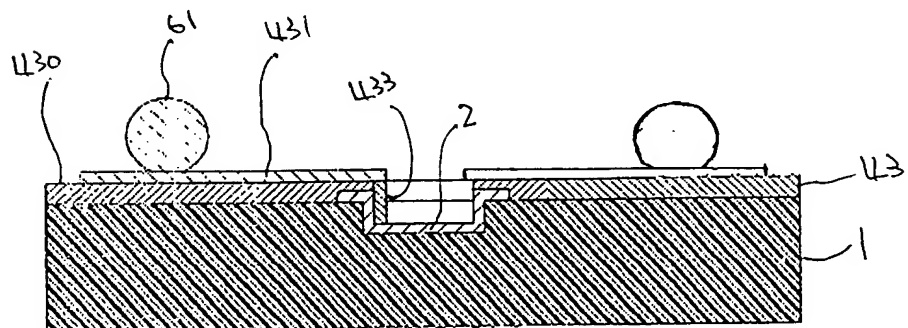
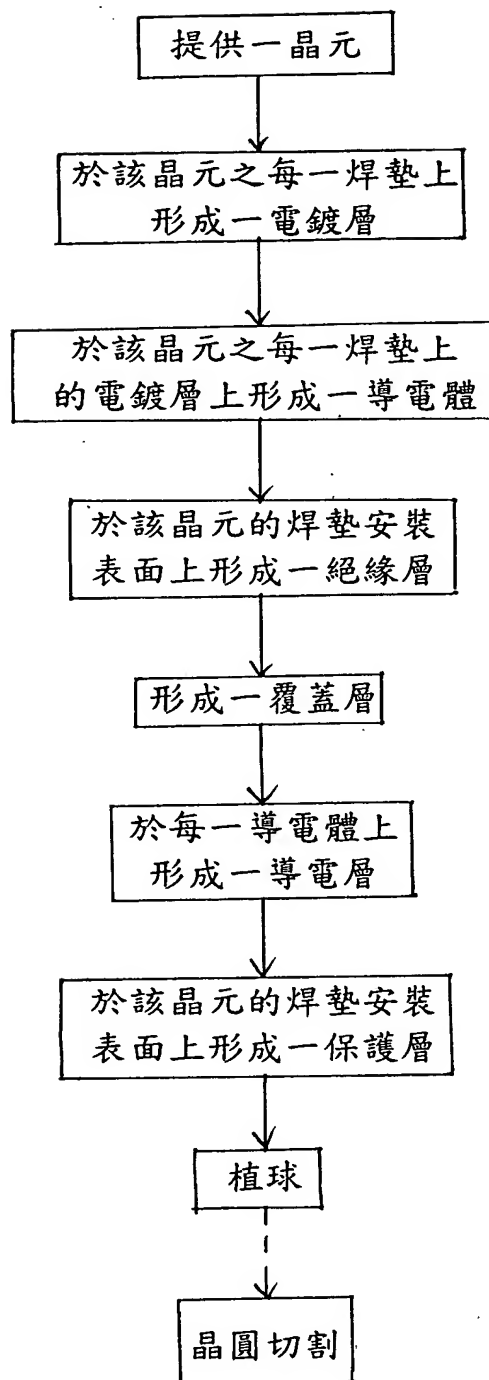
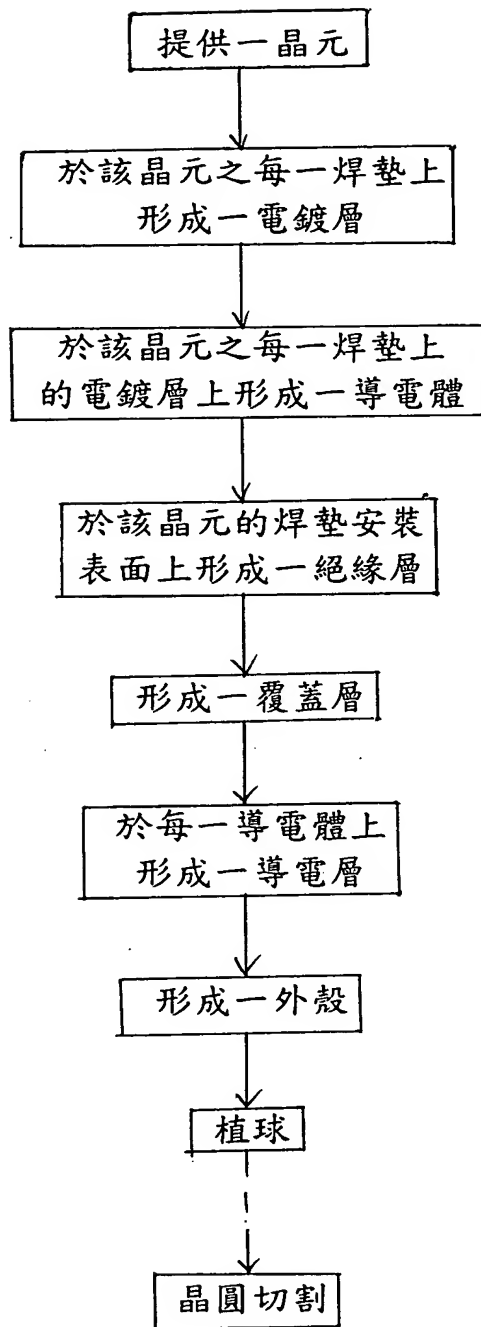


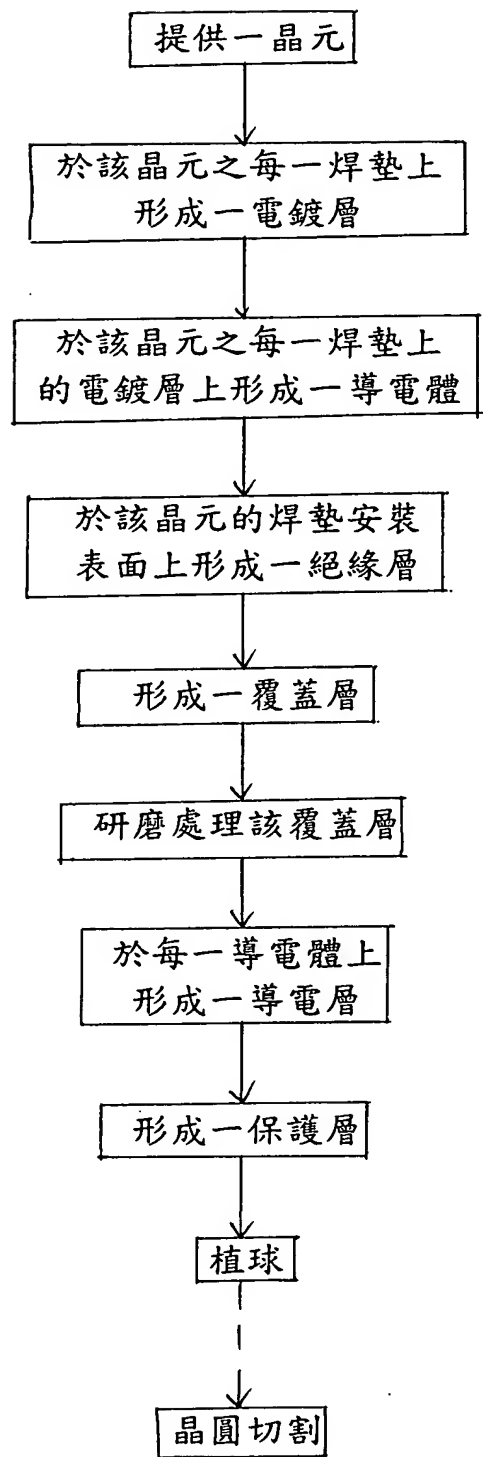
FIG. 44



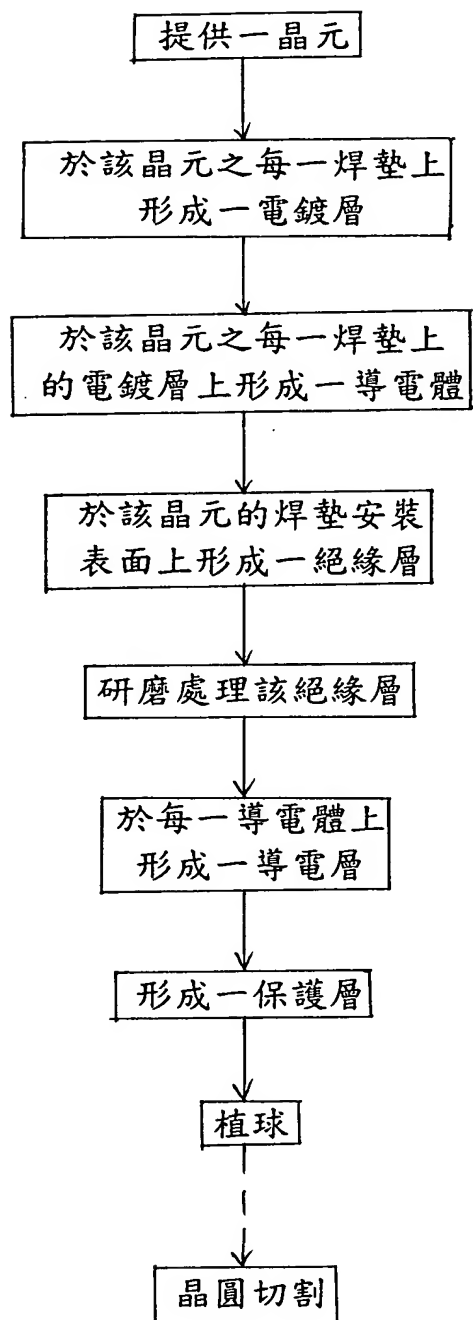
第四十五圖



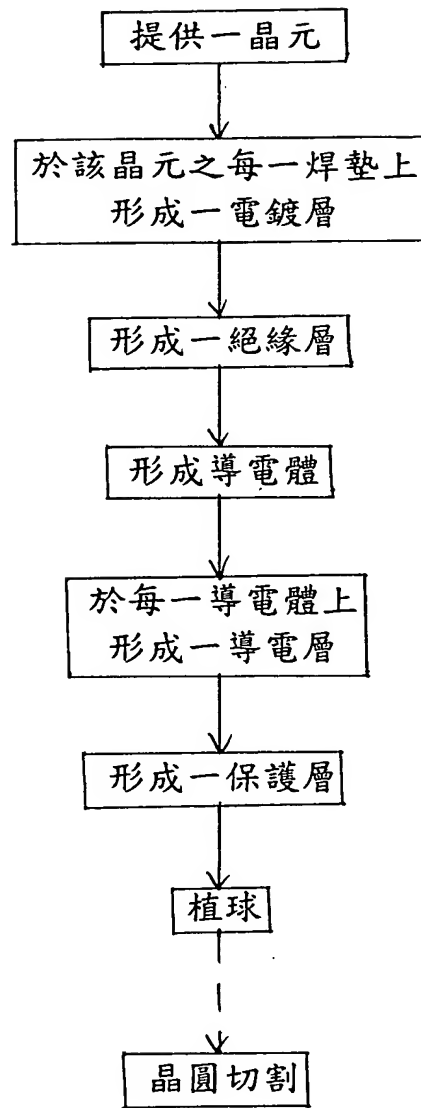
第四十六圖



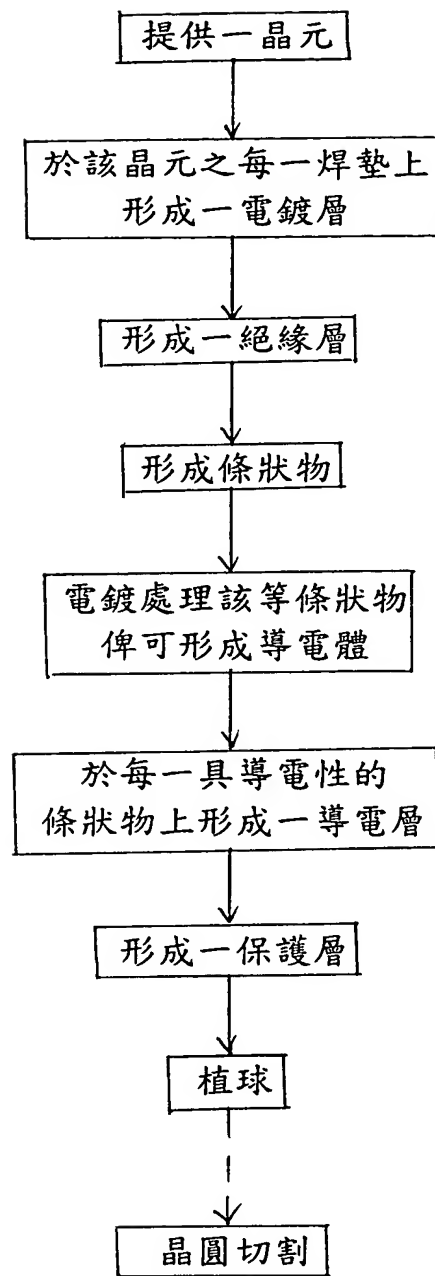
第四十七圖



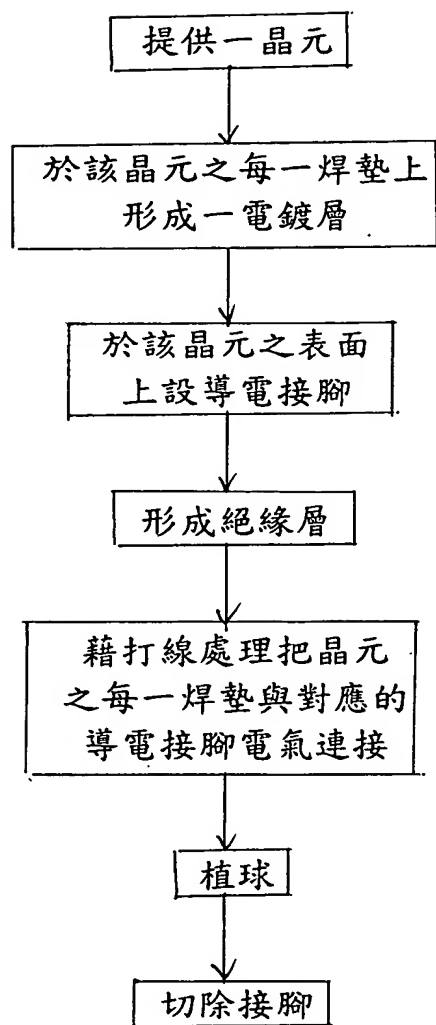
第四十八圖



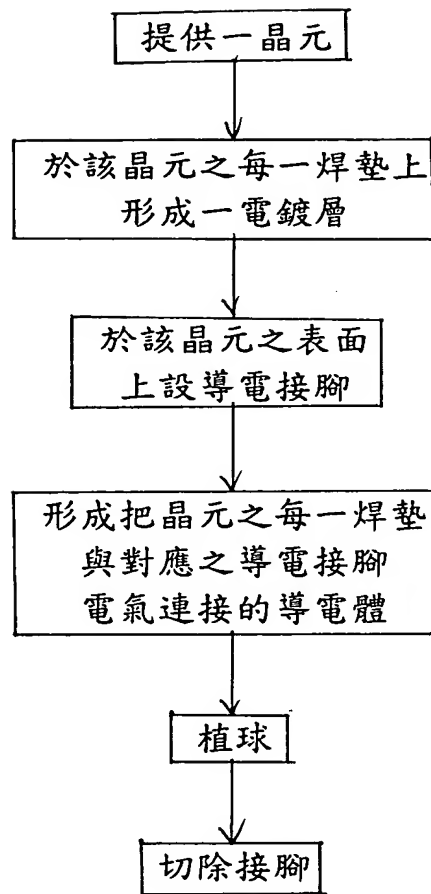
第四十九圖



第五十圖



第五十一圖



第五十二圖